NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60191-3

Deuxième édition
Second edition
1999-10

Normalisation mécanique des dispositifs à semiconducteurs –

Partie 3: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés

Mechanical standardization of semiconductor devices –

Part 3: General rules for the preparation of outline drawings of integrated circuits

© IEC 1999 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photo-copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http://www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XA

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

AVANT-PROPOS 4

Articles

1 Généralités 8
2 Terminologie et définitions 8
3 Classification des boîtiers 14
4 Identification des sorties – Numérotation des sorties 14
5 Dimensions et symboles littéraux de référence 20
6 Présentation des dessins 30
7 Cotation et tolérances 30
8 Conversion d'inches en millimètres ou réciproquement, et règles d'arrondissage 30
9 Définition des familles 30
10 Exemples de dessins 32
11 Directives pour le choix des dimensions des encombrements de circuits intégrés 32
12 Directives pour la disposition des encombrements de circuits intégrés dans les supports de manipulation 32
13 Pliage des sorties des boîtiers QUIL 36
14 Boîtiers matriciels 40
15 Règles pour l'orientation des boîtiers de circuits intégrés dans les supports de manutention et de livraison tels que réglettes et rails 40

Annexe A (normative) Limites applicables aux dimensions des encombrements de boîtiers de circuits intégrés 42

Annexe B (informative) Exemples de dessins montrant la classification des boîtiers, l'utilisation des symboles littéraux de référence, la numérotation des sorties et l'aire d'index 48

Annexe C (normative) Identification et numérotation des sorties des dispositifs avec sorties disposées sur trois rangées ou plus dans chaque direction orthogonale 80

Annexe D (normative) Dimensions recommandées pour les boîtiers de circuits intégrés de la famille de forme G 84

Annexe E (normative) Règles générales pour la préparation des dessins de boîtiers de forme G conçus pour une manipulation automatique 86

Annexe F (normative) Règles générales pour la préparation des dessins de boîtiers matriciels 94

Annexe G (normative) Règle pour l'orientation des boîtiers de circuits intégrés dans les supports de manutention et de livraison tels que réglettes et rails 102

Annexe H (normative) Méthode de la vue par dessous pour la reconnaissance de la sortie n° 1 106

Annexe K (normative) Bavures aux orifices d'injection, dépôt du moule et protrusions 112

CONTENTS

Page

FOREWORD 5

Clause

1 General 9
2 Terminology and definitions 9
3 Cross-referencing of packages 15
4 Terminal identification – Numbering of terminals 15
5 Dimensions and reference letter symbols 21
6 Drawing layout 31
7 Dimensioning and tolerances 31
8 Inter-conversion of inch and millimetre dimensions, and rules for rounding-off 31
9 Definition of families 31
10 Examples of drawings 33
11 Design procedure for dimensions of integrated circuit packages 33
12 Rules for mounting integrated circuit packages into carriers 33
13 Bending of terminals of QUIL packages 37
14 Pin grid arrays 41
15 Rule for orientation of integrated circuit packages in handling and shipping carriers such as stick magazines and rails 41

Annex A (normative) Limits applicable for the dimensions of integrated circuit package outlines 43

Annex B (informative) Example drawings showing cross-referencing of packages, utilization of reference letter symbols, terminal identification and index area 49

Annex C (normative) Terminal identification and numbering of terminals of devices with terminals disposed in three or more rows in each orthogonal direction 81

Annex D (normative) Recommended dimensions of integrated circuit packages of form G family 85

Annex E (normative) General rules for the preparation of outline drawings of packages of form G intended for automated handling 87

Annex F (normative) General rules for the preparation of outline drawings of pin grid arrays 95

Annex G (normative) Rule for orientation of integrated circuit packages in handling and shipping carriers such as stick magazines and rails 103

Annex H (normative) Bottom view method for terminal No. 1 recognition 107

Annex K (normative) Gate burrs, mold flash and protrusions 113

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 3: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés

AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60191-3 a été établie par le sous-comité 47D: Normalisation mécanique des dispositifs à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition parue en 1974, la modification 1 (1983), l'amendement 2 (1995) ainsi que la CEI 60191-3A (1976), la CEI 60191-3B (1978), la CEI 60191-3C (1987), la CEI 60191-3D (1988), la CEI 60191-3E (1990) et la CEI 60191-3F (1994).

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47D/299/FDIS	47D/322/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 3.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 3: General rules for the preparation of outline drawings of integrated circuits

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60191-3 has been prepared by subcommittee 47D: Mechanical standardization of semiconductor devices, of IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 1974, amendment 1 (1983), amendment 2 (1995), IEC 60191-3A (1976), IEC 60191-3B (1978), IEC 60191-3C (1987), IEC 60191-3D (1988), IEC 60191-3E (1990) and IEC 60191-3F (1994).

The text of this standard is based on the following documents:

FDIS	Report on voting
47D/299/FDIS	47D/322/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with ISO/IEC Directives, Part 3.

Les annexes A, C, D, E, F, G, H et K font partie intégrante de cette norme.

L'annexe B est donnée uniquement à titre d'information.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2005. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée; ou
- amendée.

Annexes A, C, D, E, F, G, H and K form an integral part of this standard.

Annex B is for information only.

The committee has decided that the contents of this publication will remain unchanged until 2005. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition; or
- amended.

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 3: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés

1 Généralités

1.1 Domaine d'application

La présente partie de la CEI 60191 donne des indications pour la préparation des dessins des encombrements de circuits intégrés.

1.2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 60191. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente partie de la CEI 60191 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60191-1:1966, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 1: Préparation des dessins des dispositifs à semiconducteurs*

CEI 60191-2:1995, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 2: Dimensions*

CEI 60191-4:1999, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 4: Système de codification et classification en formes des boîtiers pour dispositifs à semiconducteurs*

ISO 1101-1, — *Spécification géométrique des produits – Tolérancement géométrique – Généralités, définitions, symboles, indications sur les dessins* [1)]

ISO 2692:1988, *Dessins techniques – Tolérancement géométrique – Principe du maximum de matière*

[1)] A publier.

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 3: General rules for the preparation of outline drawings of integrated circuits

1 General

1.1 Scope

This part of IEC 60191 gives guidance on the preparation of drawings of integrated circuit outlines.

1.2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 60191. For dated references, subsequent amendments to, or revisions of, any of these publications do not apply. However, parties to agreements based on this part of IEC 60191 are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60191-1:1966, *Mechanical standardization of semiconductor devices – Part 1: Preparation of drawings of semiconductor devices*

IEC 60191-2:1995, *Mechanical standardization of semiconductor devices – Part 2: Dimensions*

IEC 60191-4:1999, *Mechanical standardization of semiconductor devices – Part 4: Coding system and classification into forms of package outlines for semiconductor devices*

ISO 1101-1, — *Geometrical Product Specification (GPS) – Geometrical tolerancing – Generalities, definitions, symbols, indications on drawings* [1)]

ISO 2692:1988, *Technical drawings – Geometrical tolerancing – Maximum material principle*

[1)] To be published.