IEC 60191-6-17

Edition 1.0 2011-01

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Mechanical standardization of semiconductor devices – Part 6-17: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for stacked packages – Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)

Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-17: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

PRICE CODE
CODE PRIX

U

ICS 31.080.01

ISBN 978-2-88912-331-5

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOREWORD 3
INTRODUCTION 5
1 Scope 6
2 Normative references 6
3 Definitions 6
4 Terminal position numbering 7
5 Drawings 8
6 Dimensions 16
6.1 Group 1 16
6.2 Group 2 21
7 Dimension table 27

Figure 1 – Individual stackable package, P-FBGA (cavity-up) 8
Figure 2 – Individual stackable package, P-FBGA (cavity-down) 9
Figure 3 – Individual stackable package, P-FLGA (cavity-up) 10
Figure 4 – Stacked package outline, P-PFBGA (cavity-up BGA and cavity-up BGA) 11
Figure 5 – Stacked package outline, P-PFBGA (cavity-down BGA and cavity-down BGA) 12
Figure 6 – Stacked package outline, P-PFBGA (cavity-down BGA + cavity-up LGA） 13
Figure 7 – Stacked package outline, P-PFLGA (cavity-up LGA + cavity-up BGA) 14
Figure 8 – Functional gauge 15
Figure 9 – Pattern of terminal position area 15

Table 1 – Dimensions, Group 1 16
Table 2 – Dimensions Group 2 21
Table 3 – Combination of D, E, M_D, and M_E, e = 0.80mm pitch FBGA and FLGA 22
Table 4 – Combination of D, E, M_D, and M_E, e = 0,65mm pitch FBGA and FLGA 23
Table 5 – Combination of D, E, M_D, and M_E, e = 0,50mm pitch FBGA and FLGA 24
Table 6 – Combination of D, E, M_D, and M_E, e = 0,40mm pitch FBGA an FLGA 25
Table 7 – Combination of D, E, M_D, and M_E, e = 0,30mm pitch FLGA 26
Table 8 – Dimension table 27

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 6-17: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for stacked packages – Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
6) All users should ensure that they have the latest edition of this publication.
7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60191-6-17 has been prepared by subcommittee 47D: Mechanical standardization for semiconductor devices, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47D/785/FDIS	47D/793/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 60191 series, under the general title *Mechanical standardization of semiconductor devices*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

INTRODUCTION

The trend toward downsizing and higher density of portable electronic devices has driven LSI packages into smaller and higher density configurations. The market demand of higher density has led to the development of the package stacking technology that enabled miniaturization and higher functionality. The objective of this design guide is to standardize outlines and to get interchangeability of individual stackable packages.

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 6-17: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for stacked packages – Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)

1 Scope

This part of IEC 60191 provides outline drawings and dimensions for stacked packages and individual stackable packages in the form of FBGA or FLGA.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document applies.

IEC 60191-6, *Mechanical standardization of semiconductor devices – Part 6: General rules for the preparation of outline drawings of surface mounted semiconductor device package*

IEC 60191-6-5, *Mechanical standardization of semiconductor devices – Part 6-5: General rules for the preparation of outline drawings of surface mounted semiconductor device packages - Design guide for fine-pitch ball grid array (FBGA)*

SOMMAIRE

AVANT-PROPOS 29
INTRODUCTION 31
1 Domaine d'application 32
2 Références normatives 32
3 Définitions 32
4 Numérotage de position des bornes 33
5 Dessins 34
6 Dimensions 42
6.1 Groupe 1 42
6.2 Groupe 2 47
7 Tableau des dimensions 53

Figure 1 – Boîtier empilable individuel, P-FBGA (cavité vers le haut) 34
Figure 2 – Boîtier empilable individuel, P-FBGA (cavité vers le bas) 35
Figure 3 – Boîtier empilable individuel, P-FLGA (cavité vers le haut) 36
Figure 4 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA (matrice à billes) cavité vers le haut, et BGA cavité vers le haut) 37
Figure 5 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas et BGA cavité vers le bas) 38
Figure 6 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas + LGA (zone de contact plate) cavité vers le haut) 39
Figure 7 – Encombrement d'un empilement de boîtiers, P-PFLGA (LGA cavité vers le haut + BGA cavité vers le haut) 40
Figure 8 – Gabarit fonctionnel de position des bornes 41
Figure 9 – Dessin des aires 41

Tableau 1 – Dimensions, Groupe 1 42
Tableau 2 – Dimensions, Groupe 2 47
Tableau 3 – Combinaison de D, E, M_D et M_E, FBGA et FLGA, e = pas de 0,80 mm 48
Tableau 4 – Combinaison de D, E, M_D et M_E, FBGA et FLGA, e = pas de 0,65 mm 49
Tableau 5 – Combinaison de D, E, M_D et M_E, FBGA et FLGA, e = pas de 0,50 mm 50
Tableau 6 – Combinaison de D, E, M_D et M_E, FBGA et FLGA, e = pas de 0,40 mm 51
Tableau 7 – Combinaison de D, E, M_D et M_E, FLGA, e = pas de 0,30 mm 52
Tableau 8 – Tableau des dimensions 53

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 6-17: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)

AVANT-PROPOS

1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60191-6-17 a été établie par le sous-comité 47D: Normalisation mécanique des dispositifs à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47D/785/FDIS	47D/793/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 60191, sous le titre général *Normalisation mécanique des dispositifs à semiconducteurs,* peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "http://webstore.iec.ch" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

INTRODUCTION

La tendance à la miniaturisation et à une plus grande densité des dispositifs électroniques portables a conduit les boîtiers de LSI (circuits à grande échelle d'intégration) à adopter des configurations plus petites et de plus grande densité. La demande d'une plus grande densité de la part du marché a eu pour conséquence l'élaboration de la technologie d'empilement des boîtiers, grâce à la miniaturisation et à une plus grande fonctionnalité. L'objectif du présent guide de conception est de normaliser les encombrements et d'assurer l'interchangeabilité des boîtiers empilables individuels.

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 6-17: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)

1 Domaine d'application

La présente partie de la CEI 60191 fournit les dessins d'encombrement et les dimensions pour les boîtiers empilés et les boîtiers empilables individuels sous forme de FBGA ou FLGA.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique.

CEI 60191-6, *Normalisation mécanique des dispositifs à semi-conducteurs – Partie 6: Règles générales pour la préparation des dessins d'encombrement des boîtiers pour dispositifs à semi-conducteurs pour montage en surface*

CEI 60191-6-5, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-5:Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers matriciels à billes et à pas fins (FBGA)*