NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60796-1

Première édition
First edition
1990-09

Bus système à microprocesseurs – Données: 8 bits et 16 bits (MULTIBUS I)

Première partie:
Description fonctionnelle avec spécifications électriques et chronologiques

Microprocessor system bus – 8-bit and 16-bit data (MULTIBUS I)

Part 1:
Functional description with electrical and timing specifications

© IEC 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XA

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

PREAMBULE 8

PREFACE 8

INTRODUCTION 12

SECTION UN - GENERALITES

Articles

1.1 Domaine d'application 12
1.2 Objet 14
1.3 Définitions 14
1.3.1 Terminologie du système en général 14
1.3.1.1 Compatibilité (Publication 625-1 de la CEI) 14
1.3.1.2 Cycle du bus 16
1.3.1.3 Interface (Publication 625-1 de la CEI) 16
1.3.1.4 Système d'interface (Publication 625-1 de la CEI) 16
1.3.1.5 Priorité 16
1.3.1.6 Système 16
1.3.2 Signaux et chemins (Publication 625-1 de la CEI) 16
1.3.2.1 Omnibus (ou bus) (Publication 625-1 de la CEI) 16
1.3.2.2 Octet 16
1.3.2.3 Mot 16
1.3.2.4 Signal (Publication 625-1 de la CEI) 16
1.3.2.5 Paramètre d'un signal (Publication 625-1 de la CEI) 16
1.3.2.6 Niveau de signal (Publication 625-1 de la CEI) 18
1.3.2.7 Etat haut (Publication 625-1 de la CEI) 18
1.3.2.8 Etat bas (Publication 625-1 de la CEI) 18
1.3.2.9 Ligne de signal (Publication 625-1 de la CEI) 18
1.3.2.10 Maître 18
1.3.2.11 Esclave 18

SECTION DEUX - SPECIFICATIONS FONCTIONNELLES

2.1 Eléments du bus 20
2.1.1 Maîtres 20
2.1.2 Esclaves 22
2.1.3 Signaux du bus 22
2.1.3.1 Lignes de commande 24
2.1.3.1.1 Lignes d'horloge 24
2.1.3.1.2 Lignes de commande (MWTC*, MRDC*, IOWC*, IORC*) ... 24
2.1.3.1.3 Ligne d'accusé de réception de transfert (XACK*) 26
2.1.3.1.4 Initialisation (INIT*) 26
2.1.3.1.5 Blocage (LOCK*) 26
2.1.3.2 Lignes d'adresses et d'invalidation 26

CONTENTS

Page

FOREWORD 9

PREFACE 13

INTRODUCTION 13

SECTION ONE - GENERAL

Clause

1.1 Scope 13
1.2 Object 15
1.3 Definitions 15
1.3.1 General System Terms 15
1.3.1.1 Compatibility (IEC Publication 625-1) 15
1.3.1.2 Bus Cycle 17
1.3.1.3 Interface (IEC Publication 625-1) 17
1.3.1.4 Interface System (IEC Publication 625-1) 17
1.3.1.5 Override 17
1.3.1.6 System 17
1.3.2 Signals and Paths (IEC Publication 625-1) 17
1.3.2.1 Bus (IEC Publication 625-1) 17
1.3.2.2 Byte 17
1.3.2.3 Word 17
1.3.2.4 Signal (IEC Publication 625-1) 17
1.3.2.5 Signal Parameter (IEC Publication 625-1) 19
1.3.2.6 Signal Level (IEC Publication 625-1) 19
1.3.2.7 High State (IEC Publication 625-1) 19
1.3.2.8 Low State (IEC Publication 625-1) 19
1.3.2.9 Signal Line (IEC Publication 625-1) 19
1.3.2.10 Master 19
1.3.2.11 Slave 19

SECTION TWO - FUNCTIONAL SPECIFICATIONS

2.1 Bus Elements 21
2.1.1 Masters 21
2.1.2 Slaves 23
2.1.3 Bus Signals 23
2.1.3.1 Control Lines 25
2.1.3.1.1 Clock Lines 25
2.1.3.1.2 Command Lines (MWTC*, MRDC*, IOWC*, IORC*) 25
2.1.3.1.3 Transfer Acknowledge Line (XACK*) 27
2.1.3.1.4 Initialize (INIT*) 27
2.1.3.1.5 Lock (LOCK*) 27
2.1.3.2 Address and Inhibit Lines 27

Articles Pages

2.1.3.2.1 Lignes d'adresses (24 lignes) 26
2.1.3.2.2 Validation des octets de poids fort (BHEN*) 26
2.1.3.2.3 Lignes d'invalidation (INH1* et INH2*) 28
2.1.3.3 Lignes de données (D0*-D15*) 28
2.1.3.4 Lignes d'interruption 28
2.1.3.4.1 Lignes de demande d'interruption (INT0*-INT7*) 28
2.1.3.4.2 Accusé de réception d'interruption (INTA*) 28
2.1.3.5 Lignes de permutation du bus 30
2.1.3.5.1 Demande de bus (BREQ*) 30
2.1.3.5.2 Priorité de bus (BPRN* et BPRO*) 30
2.1.3.5.3 Occupation de bus (BUSY*) 30
2.1.3.5.4 Demande commune de bus (CBRQ*) 30
2.2 Opération de transfert des données 30
2.2.1 Généralités concernant le transfert des données 32
2.2.2 Description des signaux 34
2.2.2.1 Initialisation (INIT*) 34
2.2.2.2 Horloge constante (CCLK*) 36
2.2.2.3 Lignes d'adresses (A0*-A23*) 36
2.2.2.4 Lignes de données (D0*-D15*) 36
2.2.2.5 Commandes du bus 40
2.2.2.5.1 Cycle lecture 42
2.2.2.5.2 Cycle écriture 44
2.2.2.5.3 Accusé de réception de transfert (XACK*) 44
2.2.2.5.4 Invalidation (INH1* et INH2*) 46
2.2.2.6 Blocage (LOCK*) 52
2.3 Opérations d'interruption 52
2.3.1 Lignes de signaux d'interruption 52
2.3.1.1 Lignes de demande d'interruption (INT0*-INT7*) 52
2.3.1.2 Accusé de réception d'interruption (INTA*) 54
2.3.2 Classification des réalisations des interruptions 54
2.3.2.1 Interruptions vectorisées autrement que par le bus 54
2.3.2.2 Interruptions vectorisées par le bus 56
2.4 Permutation de commande du bus 58
2.4.1 Signaux de permutation de commande du bus 58
2.4.1.1 Horloge de bus (BCLK*) 58
2.4.1.2 Occupation de bus (BUSY*) 60
2.4.1.3 Priorité IN de bus (BPRN*) 60
2.4.1.4 Priorité OUT de bus (BPRO*) 62
2.4.1.5 Demande de bus (BREQ*) 62
2.4.1.6 Demande commune de bus (CBRQ*) (en option) 62
2.4.2 Techniques de priorité de permutation de commande du bus 64
2.4.2.1 Technique de priorité en série 64
2.4.2.2 Technique d'arbitrage en parallèle 64

SECTION TROIS - SPECIFICATIONS ELECTRIQUES

3.1 Considérations générales sur le bus 68
3.1.1 Relations d'états logique et électrique 68
3.1.2 Caractéristiques des lignes de signaux 70
3.1.2.1 Exigences des lignes de signaux en fonctionnement 70
3.1.2.2 Caractéristiques du tracé des lignes de signaux sur le fond de panier 72

Clause		Page
2.1.3.2.1	Address Lines (24 lines)	27
2.1.3.2.2	Byte High Enable Line (BHEN*)	27
2.1.3.2.3	Inhibit Lines (INH1* and INH2*)	29
2.1.3.3	Data Lines (D0*-D15*)	29
2.1.3.4	Interrupt Lines	29
2.1.3.4.1	Interrupt Request Lines (INT0*-INT7*)	29
2.1.3.4.2	Interrupt Acknowledge (INTA*)	29
2.1.3.5	Bus Exchange Lines	31
2.1.3.5.1	Bus Request (BREQ*)	31
2.1.3.5.2	Bus Priority (BPRN* and BPRO*)	31
2.1.3.5.3	Bus Busy (BUSY*)	31
2.1.3.5.4	Common Bus Request (CBRQ*)	31
2.2	Data Transfer Operation	31
2.2.1	Data Transfer Overview	33
2.2.2	Signal Descriptions	35
2.2.2.1	Initialize (INIT*)	35
2.2.2.2	Constant Clock (CCLK*)	37
2.2.2.3	Address Lines (A0*-A23*)	37
2.2.2.4	Data Lines (D0*-D15*)	37
2.2.2.5	Bus Commands	41
2.2.2.5.1	Read Operation	43
2.2.2.5.2	Write Operation	45
2.2.2.5.3	Transfer Acknowledge (XACK*)	45
2.2.2.5.4	Inhibit (INH1* and INH2*)	47
2.2.2.6	Lock (LOCK*)	53
2.3	Interrupt Operations	53
2.3.1	Interrupt Signal Lines	53
2.3.1.1	Interrupt Request Lines (INT0*-INT7*)	53
2.3.1.2	Interrupt Acknowledge (INTA*)	55
2.3.2	Classes of Interrupt Implementation	55
2.3.2.1	Non-Bus Vectored Interrupts	55
2.3.2.2	Bus Vectored Interrupts	57
2.4	Bus Exchange	59
2.4.1	Bus Exchange Signals	59
2.4.1.1	Bus Clock (BCLK*)	59
2.4.1.2	Bus Busy (BUSY*)	61
2.4.1.3	Bus Priority IN (BPRN*)	61
2.4.1.4	Bus Priority OUT (BPRO*)	63
2.4.1.5	Bus Request (BREQ*)	63
2.4.1.6	Common Bus Request (CBRQ*) (Optional)	63
2.4.2	Bus Exchange Priority Techniques	65
2.4.2.1	Serial Priority Technique	65
2.4.2.2	Parallel Arbitration Technique	65

SECTION THREE - ELECTRICAL SPECIFICATIONS

3.1	General Bus Considerations	69
3.1.1	Logical and Electrical State Relationships	69
3.1.2	Signal Line Characteristics	71
3.1.2.1	In-Use Signal Line Requirements	71
3.1.2.2	Backplane Signal Trace Characteristics	73

Articles		Pages
3.1.3	Spécifications d'alimentation	72
3.1.4	Température et humidité	78
3.2	Chronologie	78
3.2.1	Opérations de lecture (E/S et mémoire)	84
3.2.2	Opérations d'écriture (E/S et mémoire)	84
3.2.3	Opérations d'invalidation	86
3.2.4	Réalisations du système d'interruption	86
3.2.4.1	Interruptions NBV	88
3.2.4.2	Interruptions BV	88
3.2.5	Permutation de commande du bus	90
3.2.5.1	Priorité en série	92
3.2.5.2	Priorité en parallèle	94
3.2.6	Chronologies diverses	94
3.3	Récepteurs, circuits de commande et terminaisons	96

SECTION QUATRE - NIVEAUX DE CONFORMITE

4.1	Eléments variables des possibilités du matériel	104
4.1.1	Chemin de données	104
4.1.2	Chemin d'adresse mémoire	104
4.1.3	Chemin d'adresse E/S	104
4.1.4	Attributs d'interruption	104
4.2	Maîtres et esclaves	106
4.3	Notation de niveau de conformité	108
4.3.1	Chemin de données	108
4.3.2	Chemin d'adresse mémoire	108
4.3.3	Chemin d'adresse E/S	108
4.3.4	Attributs d'interruption	108
4.3.5	Exemple	108
4.3.6	Marque de conformité	110

Clause		Page
3.1.3	Power Supply Specification	73
3.1.4	Temperature and Humidity	79
3.2	Timing	79
3.2.1	Read Operations (I/O and Memory)	85
3.2.2	Write Operations (I/O and Memory)	85
3.2.3	Inhibit Operations	87
3.2.4	Interrupt Implementations	87
3.2.4.1	NBV Interrupts	89
3.2.4.2	BV Interrupts	89
3.2.5	Bus Control Exchanges	91
3.2.5.1	Serial Priority	93
3.2.5.2	Parallel Priority	95
3.2.6	Miscellaneous Timing	95
3.3	Receivers, Drivers and Terminations	97

SECTION FOUR - LEVELS OF COMPLIANCE

4.1	Variable Elements of Capability	105
4.1.1	Data Path	105
4.1.2	Memory Address Path	105
4.1.3	I/O Address Path	105
4.1.4	Interrupt Attributes	105
4.2	Masters and Slaves	107
4.3	Compliance Level Notation	109
4.3.1	Data Path	109
4.3.2	Memory Address Path	109
4.3.3	I/O Address Path	109
4.3.4	Interrupt Attributes	109
4.3.5	Example	109
4.3.6	Compliance Marking	111

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS (MULTIBUS I)

Première partie: Description fonctionnelle avec spécifications électriques et chronologiques

PREAMBULE

1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.

2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.

3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B*: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme constitue la première partie d'une série de publications, dont les autres parties sont les suivantes:

- Publication 796-2 (1990): Bus système à microprocesseurs - Données: 8 bits et 16 bits (MULTIBUS I) - Deuxième partie: Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en haut de carte.

- Publication 796-3 (1990): Troisième partie: Description mécanique et brochage pour la configuration Eurocard ayant des connecteurs rapportés.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA (MULTIBUS I)

Part 1: Functional description with electrical and timing specifications

FOREWORD

1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.

2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.

3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B*: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

This standard forms Part 1 of a series of publications, the other parts being:

- Publication 796-2 (1990): Microprocessor system bus - 8-bit and 16-bit data (MULTIBUS I) - Part 2: Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct).

- Publication 796-3 (1990): Part 3: Mechanical and pin descriptions for the Eurocard configuration with pin and socket (indirect) connectors.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)8	47B(BC)14

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La publication suivante de la CEI est citée dans la présente norme:

Publication n° 625-1 (1979): Un système d'interface pour instruments de mesurage programmables (bits parallèles, octets série), Première partie: Spécifications fonctionnelles, spécifications électriques, spécifications mécaniques, application du système et règles pour le constructeur et l'utilisateur.

---

* Le Sous-Comité 47B de la CEI est désormais transféré dans l'ISO/CEI JTC 1.
La présente norme a été approuvée selon les procédures de la CEI et, par conséquent, est publiée comme norme de la CEI.

The text of this standard is based upon the following documents:

Six Months' Rule	Report on Voting
47B(CO)8	47B(CO)14

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The following IEC publication is quoted in this standard:

Publication No. 625-1 (1979): An interface system for programmable measuring instruments (byte serial, bit parallel), Part 1: Functional specifications, electrical specifications, mechanical specifications, system applications and requirements for the designer and user.

---

* IEC Sub-Committee 47B has now been transferred to ISO/IEC JTC 1.

This standard was approved according to IEC procedures and is therefore published as an IEC standard.

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS (MULTIBUS I)

Première partie: Description fonctionnelle avec spécifications électriques et chronologiques

---

INTRODUCTION

La présente norme fait partie d'une série qui traite des interfaces mécaniques et électriques permettant aux divers composants d'un système à microprocesseurs de dialoguer entre eux. Le bus d'interface sert de moyen de transfert en parallèle et d'interconnexion des signaux utilitaires pour les composants d'un système étroitement couplés. La série est composée d'une description fonctionnelle et de deux normes mécaniques.

SECTION UN - GENERALITES

1.1 Domaine d'application

La présente norme s'applique aux composants d'interface du système et doit être utilisée lors de l'interconnexion des sous-ensembles de traitement de l'information, de stockage, et des contrôleurs périphériques dans une configuration étroitement couplée. Ce système d'interface comprend les signaux nécessaires pour permettre aux divers composants du système de dialoguer entre eux. Il permet le transfert de données d'entrée/sortie (E/S) et de mémoire, les accès directs à la mémoire, la génération d'interruptions, etc. Cette norme fournit une description détaillée de tous les éléments et caractéristiques qui constituent le bus système.

Le bus dessert deux espaces d'adresse indépendants: la mémoire et les entrées/sorties. Durant les cycles mémoire, le bus permet une adressabilité directe, jusqu'à 16 méga-octets, en utilisant un adressage à 24 bits. Durant les cycles d'entrées/sorties, le bus permet un adressage jusqu'à 64K de points d'accès E/S, utilisant un adressage à 16 bits. Aussi bien les cycles mémoire que les cycles E/S peuvent permettre des transferts de données à 8 ou 16 bits.

La structure du bus a été établie selon le concept maître-esclave, où l'unité maîtresse dans le système prend le contrôle du bus et l'organe processeur esclave, reconnu par décodage de son adresse, agit selon les ordres donnés par le maître. Cet établissement de liaison (relation maître-esclave) entre le maître et les esclaves permet à des modules de vitesses différentes de s'interconnecter par l'intermédiaire du bus. Il permet aussi des débits de données allant jusqu'à cinq millions de transferts par seconde (octets ou mots) sur le bus.

Une autre caractéristique importante du bus est sa capacité à connecter plusieurs modules maîtres pour les configurations en multitraitement. Le bus fournit les signaux de commande pour connecter plusieurs maîtres aussi bien en mode de priorité série qu'en mode de priorité parallèle. Avec l'un ou l'autre de ces deux agencements, plus d'un maître peut partager les ressources du bus.

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA (MULTIBUS I)

Part 1: Functional description with electrical and timing specifications

---

INTRODUCTION

This standard is one of a series which deals with the electrical and mechanical interfaces to allow various microprocessor system components to interact with each other. The interface bus serves as a parallel transfer and utility signal interconnect for closely coupled system components. The series consists of one functional description and two alternative mechanical standards.

SECTION ONE - GENERAL

1.1 Scope

This standard is applicable to interface system components, for use in interconnecting data processing, data storage, and peripheral control devices in a closely coupled configuration. This interface system contains the necessary signals to allow the various system components to interact with each other. It allows memory and Input/ Output (I/O) data transfers, direct memory accesses, generation of interrupts, etc. This standard provides a detailed description of all the elements and features that make up the system bus.

The bus supports two independent address spaces: memory and I/O. During memory cycles the bus allows direct addressability of up to 16 megabytes using 24-bit addressing. During I/O bus cycles, the bus allows addressing of up to 64K I/O ports using 16-bit addressing. Both memory and I/O cycles can support 8-bit data transfers.

The bus structure is built upon the master-slave concept where the master device in the system takes control of the bus and the slave device, upon decoding its address, acts upon the command provided by the master. This handshake (master-slave relationship) between the master and slave devices allows modules of different speeds to be interfaced via the bus. It also allows data rates up to five million transfers per second (bytes or words) to take place across the bus.

Another important feature of the bus is the ability to connect multiple master modules for multiprocessing configurations. The bus provides control signals for connecting multiple masters in either a serial or parallel priority fashion. With either of these two arrangements, more than one master may share bus resources.

Cette norme a été préparée pour les utilisateurs qui ont l'intention d'évaluer ou de concevoir des matériels compatibles avec la structure du bus. A cette fin, les définitions des signaux nécessaires et les spécifications électriques et de synchronisation ont été expliquées en détail.

Cette norme traite seulement des caractéristiques d'interface des micro-ordinateurs. Elle ne traite pas des spécifications d'études, des exigences de performances, ni des exigences de sécurité des modules.

Dans cette norme, le terme "système" signifie le système d'interface par mot ou par octet qui, en général, comprend tous les circuits, connecteurs et protocoles de commande pour effectuer des transferts de données non ambigus entre les unités. Le terme "unité" ou "module" signifie tout matériel connecté au système d'interface, qui communique l'information par la voie du bus, tout en se conformant à la définition du système d'interface.

This standard has been prepared for those users who intend to evaluate or design products that will be compatible with the system bus structure. To this end, the necessary signal definitions and timing and electrical specifications have been covered in detail.

This standard deals only with the interface characteristics of microcomputer devices and not with design specifications, performance requirements, and safety requirements of modules.

Throughout this standard, the term "system" denotes the byte or word interface system that, in general, includes all the circuits, connectors, and control protocol to effect unambiguous data transfer between devices. The term "device" or "module" denotes any product connected to the interface system that communicates information via the bus, and that conforms to the interface system definition.