NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
60821

Deuxième édition
Second edition
1991-12

Bus CEI 821 VMEbus – Bus système à microprocesseurs Pour données de 1 octet à 4 octets

IEC 821 VMEbus – Microprocessor system bus fir 1 byte to 4 byte data

© CEI/ISO 1991 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

SOMMAIRE

Pages

AVANT-PROPOS 20

CHAPITRE 0: INTRODUCTION

Sections

0.1 Domaine d'application 22
0.2 Références normatives 22
0.3 Note au lecteur 22

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 821

1.1 Objectifs de la norme du BUS CEI 821 24
1.2 Eléments du système d'interface BUS CEI 821..... 24
1.2.1 Définitions générales 24
1.2.1.1 Termes utilisés pour décrire la structure mécanique du BUS CEI 821 24
1.2.1.2 Termes utilisés pour décrire la structure fonctionnelle du BUS CEI 821 26
1.2.1.3 Types de cycles du BUS CEI 821 30
1.2.2 Structure générale du BUS CEI 821 32
1.3 Diagrammes de la norme du BUS CEI 821 40
1.4 Terminologie utilisée dans la norme 40
1.4.1 Etats des lignes de signaux 42
1.4.2 Utilisation de l'astérisque (*) 44
1.5 Spécification du protocole 44
1.5.1 Signaux d'interverrouillage du bus 46
1.5.2 Signal de diffusion du bus 46
1.6 Exemples et explications relatifs au système 48

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

2.1 Introduction 50
2.2 Lignes du bus de transfert de données 50
2.2.1 Lignes d'adresse 54
2.2.2 Lignes de modification d'adresse 56
2.2.3 Lignes de données 60
2.2.4 Lignes de commande du bus de transfert de données 62
2.2.4.1 AS* 62
2.2.4.2 DSO* et DS1* 62
2.2.4.3 DTACK* 64
2.2.4.4 BERR* 64
2.2.4.5 WRITE* 66
2.3 Modules DTB - Description générale 66
2.3.1 MAITRE 66
2.3.2 ESCLAVE 72
2.3.3 LIMITEUR DE TEMPS D'OCCUPATION DU BUS 76
2.3.4 DETECTEUR D'ACCES 80
2.3.5 Modes d'adressage 82
2.3.6 Possibilités de base de transferts de données 86
2.3.7 Possibilités de transferts par bloc 92
2.3.8 Possibilités de lecture-modification-écriture 98
2.3.9 Possibilités de transferts non alignés 102

CONTENTS

Page

FOREWORD 21

CHAPTER 0: INTRODUCTION

Section

0.1 Scope 23
0.2 Normative references 23
0.3 Note to the reader 23

CHAPTER 1: INTRODUCTION TO THE IEC 821 BUS STANDARD

1.1 IEC 821 BUS standard objectives 25
1.2 IEC 821 BUS interface system elements 25
1.2.1 Basic definitions 25
1.2.1.1 Terms used to describe the IEC 821 BUS mechanical structure 25
1.2.1.2 Terms used to describe the IEC 821 BUS functional structure 27
1.2.1.3 Types of cycles on the IEC 821 Bus 31
1.2.2 Basic IEC 821 BUS structure 33
1.3 IEC 821 BUS standard diagrams 41
1.4 Standard terminology 41
1.4.1 Signal line states 43
1.4.2 Use of the asterisk (*) 45
1.5 Protocol specification 45
1.5.1 Interlocked bus signals 47
1.5.2 Broadcast bus signal 47
1.6 System examples and explanations 49

CHAPTER 2: IEC 821 BUS DATA TRANSFER BUS

2.1 Introduction 51
2.2 Data Transfer Bus lines 51
2.2.1 Addressing lines 55
2.2.2 Address modifier lines 57
2.2.3 Data lines 61
2.2.4 Data Transfer Bus control lines 63
2.2.4.1 AS* 63
2.2.4.2 DS0* and DS1* 63
2.2.4.3 DTACK* 65
2.2.4.4 BERR* 65
2.2.4.5 WRITE* 67
2.3 DTB modules - Basic description 67
2.3.1 MASTER 67
2.3.2 SLAVE 73
2.3.3 BUS TIMER 77
2.3.4 LOCATION MONITOR 81
2.3.5 Addressing modes 83
2.3.6 Basic data transfer capabilities 87
2.3.7 Block transfer capabilities 93
2.3.8 Read-modify-write capabilities 99
2.3.9 Unaligned transfer capabilities 103

Sections Pages

2.3.10 Possibilité UNIQUEMENT D'ADRESSAGE 108
2.3.11 Interaction entre les modules fonctionnels du DTB 108
2.4 Fonctionnement typique 112
2.4.1 Cycles typiques de transfert de données 112
2.4.2 Anticipation d'adresse 122
2.5 Acquisition du bus de transfert de données 124
2.6 Règles et observations de séquencement du DTB 128

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU BUS CEI 821

3.1 Principes de l'arbitrage du bus 202
3.1.1 Types d'arbitrage 202
3.2 Lignes du bus d'arbitrage 206
3.2.1 Lignes de demande et d'allocation du bus 210
3.2.2 Ligne d'occupation du bus (BBSY*) 210
3.2.3 Ligne de libération du bus (BCLR*) 210
3.3 Modules fonctionnels 212
3.3.1 ARBITRE 212
3.3.2 DEMANDEUR 220
3.3.3 MAITRE du bus de transfert de données 228
3.3.3.1 Libération du DTB 228
3.3.3.2 Acquisition du DTB 230
3.3.3.3 Autres informations 230
3.4 Fonctionnement typique 230
3.4.1 Arbitrage de deux niveaux différents de demande du bus 230
3.4.2 Arbitrage de deux demandes du bus sur la même ligne 240
3.5 Course critique entre les demandes du MAITRE et les accords de l'ARBITRE 248

CHAPITRE 4: BUS D'INTERRUPTION PRIORITAIRE DU BUS CEI 821

4.1 Introduction 250
4.1.1 Systèmes à contrôleur unique 250
4.1.2 Systèmes distribués 250
4.2 Lignes du bus d'interruption prioritaire 258
4.2.1 Lignes de demande d'interruption 258
4.2.2 Ligne de reconnaissance d'interruption 258
4.2.3 Chaîne série de reconnaissance d'interruption - IACKIN*/IACKOUT* 258
4.3 Modules du bus d'interruption prioritaire - Description générale 260
4.3.1 CONTROLEURS D'INTERRUPTION 262
4.3.2 GENERATEUR D'INTERRUPTION 266
4.3.3 EMETTEUR DE CHAINE SERIE IACK 274
4.3.4 Possibilités de prise en compte d'une interruption 276
4.3.5 Possibilités de demande d'interruption 278
4.3.6 Possibilités de transferts du MOT D'ETAT/IDentificateur 278
4.3.7 Possibilités de libération de l'interruption 280
4.3.8 Interaction entre les modules du bus d'interruption prioritaire 284
4.4 Fonctionnement typique 292
4.4.1 Fonctionnement des interruptions à contrôleur unique 292
4.4.2 Fonctionnement des interruptions distribuées 294
4.4.2.1 Systèmes à interruptions distribuées avec sept CONTROLEURS D'INTERRUPTION ... 294
4.4.2.2 Systèmes à interruptions distribuées avec deux à six CONTROLEURS D'INTERRUPTION 296

Section Page

2.3.10 ADDRESS-ONLY capability 109
2.3.11 Interaction between DTB functional modules 109
2.4 Typical operation 113
2.4.1 Typical data transfer cycles 113
2.4.2 Address pipelining 123
2.5 Data Transfer Bus acquisition 125
2.6 DTB timing rules and observations 129

CHAPTER 3: IEC 821 BUS DATA TRANSFER BUS ARBITRATION

3.1 Bus arbitration philosophy 203
3.1.1 Types of arbitration 203
3.2 Arbitration bus lines 207
3.2.1 Bus request and bus grant lines 211
3.2.2 Bus busy line (BBSY*) 211
3.2.3 Bus clear line (BCLR*) 211
3.3 Functional modules 213
3.3.1 ARBITER 213
3.3.2 REQUESTER 221
3.3.3 Data Transfer Bus MASTER 229
3.3.3.1 Release of the DTB 229
3.3.3.2 Acquisition of the DTB 231
3.3.3.3 Other information 231
3.4 Typical operation 231
3.4.1 Arbitration of two different levels of bus request 231
3.4.2 Arbitration of two bus requests on the same bus request line 241
3.5 Race conditions between MASTER requests and ARBITER grants 249

CHAPTER 4: IEC 821 BUS PRIORITY INTERRUPT BUS

4.1 Introduction 251
4.1.1 Single handler systems 251
4.1.2 Distributed systems 251
4.2 Priority Interrupt Bus lines 259
4.2.1 Interrupt request lines 259
4.2.2 Interrupt acknowledge line 259
4.2.3 Interrupt acknowledge daisy-chain - IACKIN*/IACKOUT* 259
4.3 Priority Interrupt Bus modules - Basic description 261
4.3.1 INTERRUPT HANDLERS 263
4.3.2 INTERRUPTER 267
4.3.3 IACK DAISY-CHAIN DRIVER 275
4.3.4 Interrupt handling capabilities 277
4.3.5 Interrupt request capabilities 279
4.3.6 STATUS/ID transfer capabilities 279
4.3.7 Interrupt release capabilities 281
4.3.8 Interaction between Priority Interrupt Bus modules 285
4.4 Typical operation 293
4.4.1 Single handler interrupt operation 293
4.4.2 Distributed interrupt operation 295
4.4.2.1 Distributed interrupt systems with seven INTERRUPT HANDLERS 295
4.4.2.2 Distributed interrupt systems with two to six INTERRUPT HANDLERS 297

Sections Pages

4.4.3 Exemple: fonctionnement typique d'un système d'interruption à contrôleur unique 298
4.4.4 Exemple: priorité de deux interruptions dans un système à interruptions distribuées 306
4.5 Conditions de vitesse 310
4.6 REGLES et OBSERVATIONS concernant le séquencement du bus d'interruption prioritaire 310

CHAPITRE 5: BUS UTILITAIRE DU BUS CEI 821

5.1 Introduction 360
5.2 Signaux du bus utilitaire 360
5.3 Modules du bus utilitaire 360
5.3.1 L'EMETTEUR DE L'HORLOGE DU SYSTEME 360
5.3.2 L'EMETTEUR DE L'HORLOGE DU BUS SERIE 360
5.3.3 Le CONTROLEUR D'ALIMENTATION 360
5.4 Initialisation et diagnostic du système 370
5.5 Broches d'alimentation 376
5.6 Ligne RESERVEE 376

CHAPITRE 6: SPECIFICATIONS ELECTRIQUES DU BUS CEI 821

6.1 Introduction 380
6.2 Distribution du courant d'alimentation 380
6.2.1 Spécifications des tensions courant continu 382
6.2.2 Caractéristiques électriques des broches et supports des connecteurs 384
6.3 Caractéristiques électriques des signaux 384
6.4 Spécifications de commande et de réception du bus 386
6.4.1 Définitions des circuits de commande du bus 386
6.4.2 REGLES pour commander et charger toutes les lignes de signaux du BUS CEI 821 388
6.4.2.1 REGLES pour commander et charger les lignes de signaux trois états à courant élevé (AS*, DS0*, DS1*) 388
6.4.2.2 REGLES pour commander et charger les lignes de signaux trois états standards (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*) 390
6.4.2.3 REGLES pour commander et charger les lignes "totem-pole" à courant élevé (SERCLK, SYSCLK, BCLR*) 392
6.4.2.4 REGLES pour commander et charger les lignes "totem-pole" standards (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*) 394
6.4.2.5 REGLES pour commander et charger les lignes à collecteur ouvert (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*) 396
6.5 Interconnexions des lignes de signaux du fond de panier 396
6.5.1 Réseaux d'adaptation d'impédance 398
6.5.2 Impédance caractéristique 400
6.5.3 Informations complémentaires 406
6.6 Signaux définis par l'utilisateur 408
6.7 Emetteurs des lignes de signaux et adaptations 408

CHAPITRE 7: SPECIFICATIONS MECANIQUES DU BUS CEI 821

7.1 Introduction 412
7.2 Cartes du BUS CEI 821 414
7.2.1 Cartes simple hauteur 416
7.2.2 Cartes double hauteur 416

Section Page

4.4.3 Example: typical single handler interrupt system operation 299

4.4.4 Example: prioritization of two interrupts in a distributed interrupt system ... 307

4.5 Race conditions 311
4.6 Priority Interrupt Bus timing RULES and OBSERVATIONS 311

CHAPTER 5: IEC 821 BUS UTILITY BUS

5.1 Introduction 361
5.2 Utility Bus signal lines 361
5.3 Utility Bus modules 361
5.3.1 The SYSTEM CLOCK DRIVER 361
5.3.2 The SERIAL CLOCK DRIVER 361
5.3.3 The POWER MONITOR 361
5.4 System initialization and diagnostics 371
5.5 Power pins 377
5.6 RESERVED line 377

CHAPTER 6: IEC 821 BUS ELECTRICAL SPECIFICATIONS

6.1 Introduction 381
6.2 Power distribution 381
6.2.1 D.C. voltage specifications 383
6.2.2 Pin and socket connector electrical ratings 385
6.3 Electrical signal characteristics 385
6.4 Bus driving and receiving requirements 387
6.4.1 Bus driver definitions 387
6.4.2 Driving and loading RULES for all IEC 821 BUS lines 389

6.4.2.1 Driving and loading RULES for high current three-state lines (AS*, DS0*, DS1*) 389
6.4.2.2 Driving and loading RULES for standard three-state lines (A01-A31, D00-D31, AM0-AM5, IACK*, LWORD*, WRITE*) 391
6.4.2.3 Driving and loading RULES for high current totem-pole lines (SERCLK, SYSCLK, BCLR*) 393
6.4.2.4 Driving and loading RULES for standard totem-pole lines (BG0OUT*-BG3OUT*/BG0IN*-BG3IN*, IACKOUT*/IACKIN*) 395
6.4.2.5 Driving and loading RULES for open-collector lines (BR0*-BR3*, BBSY*, IRQ1*-IRQ7*, DTACK*, BERR*, SYSFAIL*, SYSRESET*, ACFAIL*, IACK*) 397
6.5 Backplane signal line interconnections 397
6.5.1 Termination networks 399
6.5.2 Characteristic impedance 401
6.5.3 Additional information 407
6.6 User defined signals 409
6.7 Signal line drivers and terminations 409

CHAPTER 7: IEC 821 BUS MECHANICAL SPECIFICATIONS

7.1 Introduction 413
7.2 IEC 821 BUS boards 415
7.2.1 Single height boards 417
7.2.2 Double height boards 417

Sections

7.2.3 Connecteurs de la carte 418
7.2.4 Cartes équipées 420
7.2.5 Largeurs des cartes 420
7.2.6 Gauchissement des cartes du BUS CEI 821, longueur des pattes et hauteur des composants 420
7.3 Panneaux avant 422
7.3.1 Poignées 424
7.3.2 Montage du panneau avant 426
7.3.3 Dimensions du panneau avant 426
7.3.4 Panneaux de remplissage 428
7.3.5 Ejecteurs/injecteurs de cartes 428
7.4 Fonds de panier 430
7.4.1 Dimensions exigées du fond de panier 432
7.4.2 Réseaux d'adaptation d'impédance des lignes de signaux 432
7.5 Assemblage des châssis du BUS CEI 821..... 434
7.5.1 Châssis et largeurs des emplacements 434
7.5.2 Dimensions du châssis 434
7.6 Connecteurs du fond de panier du BUS CEI 821 et connecteurs de cartes du BUS CEI 821 476
7.6.1 Affectation des broches du connecteur J_1/P_1 476
7.6.2 Affectation des broches du connecteur J_2/P_2 478

ANNEXE A - Glossaire de termes du BUS CEI 821 480
ANNEXE B - Description des broches/connecteurs du BUS CEI 821 492
ANNEXE C - Utilisation des lignes SERCLK et SERDAT* 498
ANNEXE D - Métastabilité et resynchronisation 502
ANNEXE E - Sous-ensembles de possibilités autorisées 544

Figures

1-1: Eléments du système définis par cette norme 36
1-2: Modules fonctionnels et bus définis par cette norme 38
1-3: Notations utilisées dans les chronogrammes 48
2-1: Schéma-bloc fonctionnel du bus de transfert de données 52
2-2: Schéma-bloc: MAITRE 68
2-3: Schéma-bloc: ESCLAVE 72
2-4: Schéma-bloc: LIMITEUR DE TEMPS D'OCCUPATION DU BUS 76
2-5: Schéma-bloc: DETECTEUR D'ACCES 80
2-6: Quatre moyens de mémoriser des données de 32 bits en mémoire 102
2-7: Quatre moyens de mémoriser des données de 16 bits en mémoire 104
2-8: Un exemple de cycle de lecture d'un octet unique 116
2-9: Un exemple de cycle d'écriture d'un double octet 118
2-10: Un exemple de cycle d'écriture d'un quadruple octet 120
2-11: Séquence d'échange du bus de transfert de données du MAITRE 126
2-12: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse TOUS LES CYCLES 164
2-13: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Transferts d'octet unique pair;
transferts d'octet unique impair;
transferts double octet;
transferts quadruple octet;
transferts non alignés 166

Section Page

7.2.3 Board connectors 419
7.2.4 Board assemblies 421
7.2.5 Board widths 421
7.2.6 IEC 821 BUS board warpage, lead length and component height 421

7.3 Front panels 423
7.3.1 Handles 425
7.3.2 Front panel mounting 427
7.3.3 Front panel dimensions 427
7.3.4 Filler panels 429
7.3.5 Board ejectors/injectors 429
7.4 Backplanes 431
7.4.1 Backplane dimensional requirements 433
7.4.2 Signal line termination networks 433
7.5 Assembly of IEC 821 BUS subracks 435
7.5.1 Subracks and slot widths 435
7.5.2 Subrack dimensions 435
7.6 IEC 821 BUS backplane connectors and IEC 821 BUS board connectors 477

7.6.1 Pin assignments for the J_1/P_1 connector 477
7.6.2 Pin assignments for the J_2/P_2 connector 479

APPENDIX A - Glossary of IEC 821 BUS terms 481
APPENDIX B - IEC 821 BUS connector/pin description 493
APPENDIX C - Use of the SERCLK and SERDAT* lines 499
APPENDIX D - Metastability and resynchronization 503
APPENDIX E - Permissible capability subsets 545

Figures

1-1: System elements defined by this standard 37
1-2: Functional modules and buses defined by this standard 39
1-3: Signal timing notation 49
2-1: Data Transfer Bus functional block diagram 53
2-2: Block diagram: MASTER 69
2-3: Block diagram: SLAVE 73
2-4: Block diagram: BUS TIMER 77
2-5: Block diagram: LOCATION MONITOR 81
2-6: Four ways that 32 bits of data might be stored in memory 103
2-7: Four ways that 16 bits of data might be stored in memory 105
2-8: An example of a single byte read cycle 117
2-9: An example of a double byte write cycle 119
2-10: An example of a quad byte write cycle 121
2-11: Data Transfer Bus MASTER exchange sequence 127
2-12: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
ALL CYCLES 165
2-13: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single even byte transfers;
single odd byte transfers;
double byte transfers;
quad byte transfers;
unaligned transfers 167

Figures Pages

2-14: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Transferts de blocs par octet;
transferts de blocs par double octet;
transferts de blocs par quadruple octet 168

2-15: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de diffusion d'adresse
Cycles RMW pour octet unique;
cycles RMW pour double octet;
cycles RMW pour quadruple octet 170

2-16: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
LECTURE OCTET(0);
LECTURE OCTET(1);
LECTURE OCTET(2);
LECTURE OCTET(3);
LECTURE OCTET(0-2);
LECTURE OCTET(1-3);
LECTURE DE BLOCS PAR OCTET 172

2-17: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
LECTURE OCTET(0-1);
LECTURE OCTET(2-3);
LECTURE OCTET(0-3);
LECTURE OCTET(1-2);
LECTURE DE BLOCS PAR DOUBLE OCTET;
LECTURE DE BLOCS PAR QUADRUPLE OCTET 176

2-18: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
ECRITURE OCTET(0);
ECRITURE OCTET(1);
ECRITURE OCTET(2);
ECRITURE OCTET(3);
ECRITURE OCTET(0-2);
ECRITURE OCTET(1-3);
ECRITURE DE BLOCS PAR OCTET 180

2-19: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
ECRITURE OCTET(0-1);
ECRITURE OCTET(2-3);
ECRITURE OCTET(0-3);
ECRITURE OCTET(1-2);
ECRITURE DE BLOCS PAR DOUBLE OCTET;
ECRITURE DE BLOCS PAR QUADRUPLE OCTET 184

2-20: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
Cycle RMW pour octet unique 188

2-21: MAITRE, ESCLAVE et DETECTEUR D'ACCES - Chronogramme de transfert de données
Cycles RMW pour double octet;
Cycles RMW pour quadruple octet 190

2-22: Chronogramme du signal de validation d'adresse entre les cycles 192

2-23: Chronogramme des signaux de validation de donnée entre les cycles
Un cycle où les deux signaux de validation de donnée passent au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas 194

2-24: Chronogramme des signaux de validation de donnée entre les cycles
Un cycle où un signal de validation de donnée passe au niveau bas suivi par un cycle où un ou les deux signaux de validation de donnée passent au niveau bas 196

2-25: MAITRE, ESCLAVE et LIMITEUR DE TEMPS D'OCCUPATION DU BUS - Chronogramme de transfert de données
Cycle de dépassement de temps d'occupation du bus 198

2-26: MAITRE - Chronogramme du transfert du contrôle du DTB..... 200

3-1: Schéma-bloc fonctionnel de l'arbitrage du bus 204

3-2: Illustration des lignes de la chaîne série d'allocation du bus 208

3-3: Schéma-bloc: ARBITRE 218

3-4: Schéma-bloc: DEMANDEUR 226

3-5: Organigramme de l'arbitrage: deux DEMANDEURS, deux niveaux de demande 234

3-6: Séquence d'arbitrage: deux DEMANDEURS, deux niveaux de demande 238

3-7: Organigramme de l'arbitrage: deux DEMANDEURS, même niveau de demande 242

3-8: Séquence d'arbitrage: deux DEMANDEURS, même niveau de demande 246

Figures

Page

2-14: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single byte block transfers;
double byte block transfers;
quad byte block transfers 169

2-15: MASTER, SLAVE and LOCATION MONITOR - Address broadcast timing
Single byte RMW cycles;
double byte RMW cycles;
quad byte RMW cycles 171

2-16: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0) READ;
BYTE(1) READ;
BYTE(2) READ;
BYTE(3) READ;
BYTE(0-2) READ;
BYTE(1-3) READ;
SINGLE BYTE BLOCK READ 173

2-17: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0-1) READ;
BYTE(2-3) READ;
BYTE(0-3) READ;
BYTE(1-2) READ;
DOUBLE BYTE BLOCK READ;
QUAD BYTE BLOCK READ 177

2-18: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0) WRITE;
BYTE(1) WRITE;
BYTE(2) WRITE;
BYTE(3) WRITE;
BYTE(0-2) WRITE;
BYTE(1-3) WRITE;
SINGLE BYTE BLOCK WRITE 181

2-19: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
BYTE(0-1) WRITE;
BYTE(2-3) WRITE;
BYTE(0-3) WRITE;
BYTE(1-2) WRITE;
DOUBLE BYTE BLOCK WRITE;
QUAD BYTE BLOCK WRITE 185

2-20: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
Single byte RMW cycle 189

2-21: MASTER, SLAVE and LOCATION MONITOR - Data transfer timing
Double byte RMW cycles
quad byte RMW cycles 191

2-22: Address strobe inter-cycle timing 193

2-23: Data strobe inter-cycle timing
A cycle where both data strobes go low followed by
a cycle where one or both data strobes go low 195

2-24: Data strobe inter-cycle timing
A cycle where one data strobe goes low followed by
a cycle where one or both data strobes go low 197

2-25: MASTER, SLAVE and BUS TIMER - Data transfer timing

Timed-out cycle 199

2-26: MASTER - DTB control transfer timing 201

3-1: Arbitration bus functional block diagram 205

3-2: Illustration of the daisy-chained bus grant lines 209

3-3: Block diagram: ARBITER 219

3-4: Block diagram: REQUESTER 227

3-5: Arbitration flow diagram: two REQUESTERS, two request levels 235

3-6: Arbitration sequence diagram: two REQUESTERS, two request levels 239

3-7: Arbitration flow diagram: two REQUESTERS, same request level 243

3-8: Arbitration sequence diagram: two REQUESTERS, same request level 247

Figures Pages

4-1: Schéma-bloc fonctionnel du système d'interruption prioritaire du BUS CEI 821. 252

4-2: Structure du sous-système d'interruption: système à contrôleur unique 254

4-3: Structure du sous-système d'interruption: système distribué 256

4-4: CHAINE SERIE IACKIN*/IACKOUT* 260

4-5: Schéma-bloc: CONTROLEUR D'INTERRUPTION 264

4-6: Schéma-bloc: GENERATEUR D'INTERRUPTION 272

4-7: Schéma-bloc: EMETTEUR DE CHAINE SERIE IACK 276

4-8: Libération des lignes de demande d'interruption par les GENERATEURS D'INTERRUPTION ROAK et RORA 284

4-9: Un EMETTEUR DE CHAINE SERIE IACK et un GENERATEUR D'INTERRUPTION sur la même carte 288

4-10: Deux GENERATEURS D'INTERRUPTION sur la même carte 290

4-11: Les trois phases d'une séquence d'interruption 292

4-12: Deux CONTROLEURS D'INTERRUPTION surveillant chacun une ligne de demande d'interruption 296

4-13: Deux CONTROLEURS D'INTERRUPTION surveillant chacun plusieurs lignes de demande d'interruption 298

4-14: Organigramme du fonctionnement typique d'un système d'interruption à contrôleur unique d'interruption 302

4-15: Organigramme du fonctionnement typique d'un système à interruptions distribuées avec deux CONTROLEURS D'INTERRUPTION 308

4-16: CONTROLEUR et GENERATEUR D'INTERRUPTION - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 342

4-17: EMETTEUR DE CHAINE SERIE IACK - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 344

4-18: GENERATEUR D'INTERRUPTION qui participe - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 346

4-19: GENERATEUR D'INTERRUPTION qui répond - Chronologie de la sélection du GENERATEUR D'INTERRUPTION
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE, DOUBLE ou QUADRUPLE 348

4-20: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE 350

4-21: CONTROLEUR D'INTERRUPTION - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET 352

4-22: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à OCTET UNIQUE 354

4-23: GENERATEUR D'INTERRUPTION qui répond - Chronologie du transfert du MOT D'ETAT/IDentificateur
CYCLE DE RECONNAISSANCE D'INTERRUPTION à DOUBLE OCTET;
CYCLE DE RECONNAISSANCE D'INTERRUPTION à QUADRUPLE OCTET 356

4-24: EMETTEUR DE CHAINE SERIE IACK, GENERATEUR D'INTERRUPTION qui répond et GENERATEUR D'INTERRUPTION qui participe - Chronologie de la chaîne série IACK entre les cycles 358

5-1: Schéma-bloc du bus utilitaire 364

5-2: Chronogramme de l'EMETTEUR DE L'HORLOGE SYSTEME 366

5-3: Schéma-bloc du module CONTROLEUR D'ALIMENTATION 366

5-4: Chronogramme du CONTROLEUR D'ALIMENTATION lors d'une défaillance d'alimentation 368

5-5: Chronogramme du CONTROLEUR D'ALIMENTATION lors de la mise sous tension 368

5-6: Chronogramme des signaux SYSRESET* et SYSFAIL* 374

Figures

Page

4-1: Priority Interrupt Bus functional block diagram 253
4-2: Interrupt subsystem structure: single handler system 255
4-3: Interrupt subsystem structure: distributed system 257
4-4: IACKIN*/IACKOUT* DAISY-CHAIN 261
4-5: Block diagram: INTERRUPT HANDLER 265
4-6: Block diagram: INTERRUPTER 273
4-7: Block diagram: IACK DAISY-CHAIN DRIVER 277
4-8: Release of the interrupt request lines by ROAK and RORA INTERRUPTERS 285
4-9: An IACK DAISY-CHAIN DRIVER and an INTERRUPTER on the same board 289
4-10: Two INTERRUPTERS on the same board 291
4-11: The three phases of an interrupt sequence 293
4-12: Two INTERRUPT HANDLERS, each monitoring one interrupt request line 297
4-13: Two INTERRUPT HANDLERS, each monitoring several interrupt request lines 299
4-14: Typical single handler interrupt system operation flow diagram 303
4-15: Typical distributed interrupt system with two INTERRUPT HANDLERS, flow diagram 309
4-16: INTERRUPT HANDLER and INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 343
4-17: IACK DAISY-CHAIN DRIVER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 345
4-18: Participating INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 347
4-19: Responding INTERRUPTER - INTERRUPTER selection timing
SINGLE, DOUBLE and QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 349
4-20: INTERRUPT HANDLER - STATUS/ID transfer timing
SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE 351
4-21: INTERRUPT HANDLER - STATUS/ID transfer timing
DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 353
4-22: Responding INTERRUPTER - STATUS/ID transfer timing
SINGLE BYTE INTERRUPT ACKNOWLEDGE CYCLE 355
4-23: Responding INTERRUPTER - STATUS/ID transfer timing
DOUBLE BYTE INTERRUPT ACKNOWLEDGE CYCLE; QUAD BYTE INTERRUPT ACKNOWLEDGE CYCLE 357
4-24: IACK DAISY-CHAIN DRIVER, responding INTERRUPTER, and participating INTERRUPTER - IACK daisy-chain inter-cycle timing 359
5-1: Utility Bus block diagram 365
5-2: SYSTEM CLOCK DRIVER timing diagram 367
5-3: Block diagram of POWER MONITOR module 367
5-4: POWER MONITOR power failure timing 369
5-5: POWER MONITOR system restart timing 369
5-6: SYSRESET* and SYSFAIL* timing diagram 375

Figures Pages

5-7: Courant admissible dans les broches d'alimentation 378
6-1: Niveaux des signaux du BUS CEI 821 384
6-2: Adaptation d'impédance standard du bus 400
6-3: Coupe d'une piste de microruban utilisée comme ligne de signal sur le fond de panier 402
6-4: Z_o en fonction de la largeur de ligne 404
6-5: C_o en fonction de la largeur de ligne 404
7-1: Châssis équipé avec des cartes de tailles différentes 436
7-2: Carte simple hauteur: dimensions de base 438
7-3: Carte double hauteur: dimensions de base 440
7-4: Position des connecteurs sur les cartes simple et double hauteur 442
7-5: Vue en coupe d'une carte, d'un connecteur, d'un fond de panier et d'un panneau avant 444
7-6: Hauteur des composants, longueur des pattes et gauchissement de la carte 446
7-7: Panneau avant, simple hauteur, simple largeur 448
7-8: Panneau avant, double hauteur, simple largeur 450
7-9: Supports de montage du panneau avant et dimensions d'une carte simple hauteur 452
7-10: Supports de montage du panneau avant et dimensions d'une carte double hauteur 454
7-11: Panneau de remplissage simple hauteur 456
7-12: Panneau de remplissage double hauteur 458
7-13: Dimensions hors tout du fond de panier J_1 et J_2 460
7-14: Dimensions détaillées du fond de panier J_1 et J_2 462
7-15: Dimensions hors tout du fond de panier J_1/J_2 464
7-16: Dimensions détaillées du fond de panier J_1/J_2 466
7-17: Adaptation du fond de panier "Type hors carte" (vue d'en haut du fond de panier) 468
7-18: Adaptation du fond de panier "Type sur carte" (vue d'en haut du fond de panier) 470
7-19: Châssis à 21 emplacements 472
7-20: Détail du guide de carte 474
C-1: Chronogramme de SERCLK 500
D-1: Bascule RS de base 504
D-2: Conditions critiques d'entrée 506
D-3: Les deux types de métastabilité 508
D-4: Interprétations différentes d'une sortie métastable 510
D-5: Structure de l'arbitrage du VMEbus 526
D-6: Fonctionnement asynchrone de la chaîne série d'arbitrage 528
D-7: Fonctionnement synchrone de la chaîne série d'arbitrage 532
D-8: Fonctionnement asynchrone de la chaîne série d'interruption 536
D-9: Arbitre asynchrone du VMEbus 540

Tableaux

2-1: Les quatre catégories d'emplacement d'octet 54
2-2: Utilisation de DS0*, DS1*, A01, et LWORD* pour sélectionner les locations d'octets 56
2-3: Codes modificateurs d'adresse 58
2-4: Utilisation des lignes de données pour accéder aux locations d'octets 62
2-5: MAITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 70
2-6: ESCLAVES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 74

Figures

		Page
5-7:	Current rating for power pins	379
6-1:	IEC 821 BUS signal levels	385
6-2:	Standard bus termination	401
6-3:	Backplane microstrip signal line cross section	403
6-4:	Z_o versus line width	405
6-5:	C_o versus line width	405
7-1:	Subrack with mixed board sizes	437
7-2:	Single height board: basic dimensions	439
7-3:	Double height board: basic dimensions	441
7-4:	Connector position on single and double height boards	443
7-5:	Cross sectional view of board, connector, backplane, and front panel	445
7-6:	Component height, lead length and board warpage	447
7-7:	Single height, single width, front panel	449
7-8:	Double height, single width, front panel	451
7-9:	Front panel mounting brackets and dimensions of single height board	453
7-10:	Front panel mounting brackets and dimensions of double height board	455
7-11:	Single height filler panel	457
7-12:	Double height filler panel	459
7-13:	Overall dimensions of a J_1 and J_2 backplane	461
7-14:	Detailed dimensions of a J_1 and J_2 backplane	463
7-15:	Overall dimensions of a J_1/J_2 backplane	465
7-16:	Detailed dimensions of a J_1/J_2 backplane	467
7-17:	"Off board type" backplane termination (view from top of backplane)	469
7-18:	"On board type" backplane termination (view from top of backplane)	471
7-19:	21-slot subrack	473
7-20:	Board guide detail	475
C-1:	SERCLK timing diagram	501
D-1:	Basic RS flip-flop	505
D-2:	Critical input conditions	507
D-3:	The two types of metastability	509
D-4:	Different interpretations of a metastable output	511
D-5:	VMEbus arbitration structure	527
D-6:	Handling the arbitration daisy-chain asynchronously	529
D-7:	Handling the arbitration daisy-chain synchronously	533
D-8:	Handling the interrupt daisy-chain asynchronously	537
D-9:	Asynchronous VMEbus arbiter	541

Tables

2-1:	The four categories of byte location	55
2-2:	Use of DS0*, DS1*, A01, and LWORD* to select byte locations	57
2-3:	Address modifier codes	59
2-4:	Use of the data lines to access byte locations	63
2-5:	MASTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	71
2-6:	SLAVES: RULES and PERMISSIONS for driving and monitoring the dotted lines	75

Tableaux Pages

2-7: Utilisation du mnémonique BTO( ) pour spécifier la durée de limitation de temps des LIMITEURS DE TEMPS D'OCCUPATION DU BUS 78

2-8: DETECTEURS D'ACCES: REGLES et AUTORISATIONS pour la SURVEILLANCE des lignes pointillées 82

2-9: Mnémoniques qui spécifient les possibilités d'adressage 84

2-10: Mnémoniques qui spécifient les possibilités de base de transferts de données 92

2-11: Mnémonique qui spécifie les possibilités de transferts par bloc 98

2-12: Mnémonique qui spécifie les possibilités de lecture-modification-écriture ... 100

2-13: Transferts de 32 bits de données utilisant des cycles de transfert de multiple octet 104

2-14: Transferts de 16 bits de données utilisant des cycles de transfert de multiple octet 106

2-15: Mnémonique qui spécifie la possibilité de transfert non aligné 106

2-16: Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE 108

2-17: Chronogrammes qui définissent le fonctionnement du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES 132

2-18: Définition des mnémoniques utilisés dans les tableaux 2-19, 2-20 et 2-21 134

2-19: Utilisation des lignes d'adressage pour sélectionner un groupe de 4 octets .. 136

2-20: Utilisation de DS1*, DS0*, A01 et LWORD* pendant les différents cycles 138

2-21: Utilisation des lignes de données pour transférer des données 140

2-22: Paramètres de temps des chronogrammes du MAITRE, de l'ESCLAVE et du DETECTEUR D'ACCES 144

2-23: Paramètres de temps du chronogramme du LIMITEUR DE TEMPS D'OCCUPATION DU BUS 144

2-24: MAITRE - REGLES et OBSERVATIONS sur la chronologie 146

2-25: ESCLAVE - REGLES et OBSERVATIONS sur la chronologie 154

2-26: DETECTEUR D'ACCES - OBSERVATIONS sur la chronologie 160

2-27: LIMITEUR DE TEMPS D'OCCUPATION DU BUS - REGLES de la chronologie 162

3-1: ARBITRES: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 220

3-2: DEMANDEURS: REGLES et AUTORISATIONS pour commander et surveiller les lignes pointillées 226

4-1: CONTROLEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés..... 266

4-2: GENERATEURS D'INTERRUPTION: REGLES et AUTORISATIONS pour commander et surveiller les lignes représentées en pointillés..... 274

4-3: Utilisation du mnémonique IH( ) pour spécifier les possibilités de traitement d'interruption 276

4-4: Utilisation du mnémonique I( ) pour spécifier les possibilités de génération d'une demande d'interruption 278

4-5: Mnémoniques qui spécifient les possibilités de transfert du MOT D'ETAT/IDentificateur 278

4-6: Mnémoniques qui spécifient les possibilités de libération des demandes d'interruption 284

4-7: Code de la reconnaissance d'interruption sur 3 bits 306

4-8: Chronogrammes qui définissent le fonctionnement du CONTROLEUR D'INTERRUPTION et du GENERATEUR D'INTERRUPTION 316

4-9: Chronogrammes qui définissent le fonctionnement de l'EMETTEUR DE CHAINE SERIE IACK 316

4-10: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui participe 318

4-11: Chronogrammes qui définissent le fonctionnement du GENERATEUR D'INTERRUPTION qui répond 318

4-12: Définitions des mnémoniques utilisés dans les tableaux 4-13, 4-14 et 4-15 ... 320

4-13: Utilisation de A01-A03 et IACK* pendant les cycles de reconnaissance d'interruption 320

Tables

		Page
2-7:	Use of the BTO( ) mnemonic to specify the time-out period of BUS TIMERS	79
2-8:	LOCATION MONITORS: RULES and PERMISSIONS for driving and monitoring the dotted lines	83
2-9:	Mnemonics that specify addressing capabilities	85
2-10:	Mnemonics that specify basic data transfer capabilities	93
2-11:	Mnemonic that specifies block transfer capabilities	99
2-12:	Mnemonic that specifies read-modify-write capabilities	101
2-13:	Transferring 32 bits of data using multiple byte transfer cycles	105
2-14:	Transferring 16 bits of data using multiple byte transfer cycles	107
2-15:	Mnemonic that specifies unaligned transfer capability	107
2-16:	Mnemonic that specifies ADDRESS-ONLY capability	109
2-17:	Timing diagrams that define MASTER, SLAVE and LOCATION MONITOR operation	133
2-18:	Definitions of mnemonics used in Tables 2-19, 2-20 and 2-21	135
2-19:	Use of the address lines to select a 4-byte group	137
2-20:	Use of DS1*, DS0*, A01, and LWORD* during the various cycles	139
2-21:	Use of the data lines to transfer data	141
2-22:	MASTER, SLAVE, and LOCATION MONITOR timing parameters	145
2-23:	BUS TIMER timing parameters	145
2-24:	MASTER - Timing RULES and OBSERVATIONS	147
2-25:	SLAVE - Timing RULES and OBSERVATIONS	155
2-26:	LOCATION MONITOR - Timing OBSERVATIONS	161
2-27:	BUS TIMER - Timing RULES	163
3-1:	ARBITERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	221
3-2:	REQUESTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	227
4-1:	INTERRUPT HANDLERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	267
4-2:	INTERRUPTERS: RULES and PERMISSIONS for driving and monitoring the dotted lines	275
4-3:	Use of the IH( ) mnemonic to specify interrupt handling capabilities	277
4-4:	Use of the I( ) mnemonic to specify interrupt request generation capabilities	279
4-5:	Mnemonics that specify STATUS/ID transfer capabilities	279
4-6:	Mnemonics that specify interrupt request release capabilities	285
4-7:	3-bit interrupt acknowledge code	307
4-8:	Timing diagrams that define INTERRUPT HANDLER and INTERRUPTER operation	317
4-9:	Timing diagrams that define IACK DAISY-CHAIN DRIVER operation	317
4-10:	Timing diagrams that define participating INTERRUPTER operation	319
4-11:	Timing diagrams that define responding INTERRUPTER operation	319
4-12:	Definitions of mnemonics used in Tables 4-13, 4-14 and 4-15	321
4-13:	Use of A01-A03 and IACK* during interrupt acknowledge cycles	321

Tableaux

Pages

4-14: Utilisation des lignes DS1*, DS0*, LWORD* et WRITE* pendant les cycles de reconnaissance d'interruption 322

4-15: Utilisation de D00-D31 pour le transfert du MOT D'ETAT/IDentificateur 322

4-16: Paramètres de temps des chronogrammes du CONTROLEUR D'INTERRUPTION, du GENERATEUR D'INTERRUPTION et de l'EMETTEUR DE CHAINE SERIE IACK 324

4-17: CONTROLEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie 326

4-18: GENERATEUR D'INTERRUPTION - REGLES et OBSERVATIONS sur la chronologie 332

4-19: EMETTEUR DE CHAINE SERIE IACK - REGLES et OBSERVATIONS sur la chronologie ... 338

5-1: Commandes émises par les modules pendant le démarrage et l'arrêt de l'alimentation 372

6-1: Spécifications des tensions du bus 382

6-2: Spécifications de commande et de réception du bus 386

6-3: Résumé des émetteurs du bus 410

7-1: Affectation des broches J_1/P_1 476

7-2: Affectation des broches J_2/P_2 478

C-1: Valeurs des temps de SERCLK 500

D-1: Données concernant la métastabilité 520

E-1: Sous-ensembles des possibilités d'adressage autorisés 546

E-2: Interactions entre les sous-ensembles d'adressage autorisés 548

E-3: MAITRE: Sous-ensembles autorisés des possibilités de transfert des données .. 552

E-4: ESCLAVE: Sous-ensembles autorisés des possibilités de transfert des données . 552

E-5: DETECTEUR D'ACCES: Sous-ensembles autorisés des possibilités de transfert des données 554

E-6: Interactions entre les sous-ensembles de transfert de données autorisés 554

E-7: Interactions entre ARBITRES et DEMANDEURS 556

E-8: Interactions entre GENERATEURS et CONTROLEURS D'INTERRUPTION 560

Tables

		Page
4-14:	Use of the DS1*, DS0*, LWORD*, and WRITE* lines during interrupt acknowledge cycles	323
4-15:	Use of D08-D31 to transfer the STATUS/ID	323
4-16:	INTERRUPT HANDLER, INTERRUPTER, and IACK DAISY-CHAIN DRIVER timing parameters	325
4-17:	INTERRUPT HANDLER - Timing RULES and OBSERVATIONS	327
4-18:	INTERRUPTER - Timing RULES and OBSERVATIONS	333
4-19:	IACK DAISY-CHAIN DRIVER - Timing RULES and OBSERVATIONS	339
5-1:	Module drive during power-up and power-down sequences	373
6-1:	Bus voltage specifications	383
6-2:	Bus driving and receiving requirements	387
6-3:	Bus driver summary	411
7-1:	J_1/P_1 pin assignments	477
7-2:	J_2/P_2 pin assignments	479
C-1:	SERCLK timing values	501
D-1:	Metastability data	521
E-1:	Permissible subsets of adressing capabilities	547
E-2:	Interoperability among the permissible adressing subsets	549
E-3:	MASTER: Permissible subsets of data transfer capabilities	553
E-4:	SLAVE: Permissible subsets of data transfer capabilities	553
E-5:	LOCATION MONITOR: Permissible subsets of data transfer detection capabilities	555
E-6:	Interoperability among the permissible data transfer subsets	555
E-7:	Interoperability among ARBITERS and REQUESTERS	557
E-8:	Interoperability of INTERRUPTERS and INTERRUPT HANDLERS	561

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS CEI 821 VMEbus -

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES DE 1 OCTET A 4 OCTETS

AVANT-PROPOS

1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.

2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.

3) Dans le but d'encourager l'unification internationale, la CEI exprime le voeu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

La présente norme a été établie par le comité technique mixte ISO/CEI JTC 1: Technologie de l'information, SC 26: Système à microprocesseurs.

Cette deuxième édition de la CEI 821 remplace la première édition parue en 1987, et constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

DIS	Rapport de vote
ISO/CEI DIS 821	JTC 1/SC 26 N 36

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 821 VMEbus -

MICROPROCESSOR SYSTEM BUS FOR 1 BYTE TO 4 BYTE DATA

FOREWORD

1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.

2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.

3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

This standard has been prepared by Joint Technical Committee ISO/IEC JTC 1: Information technology, SC 26: Microprocessor systems.

This second edition of IEC 821 replaces the first edition issued in 1987, and constitutes a technical revision.

The text of this standard is based on the following documents:

DIS	Report on Voting
ISO/IEC DIS 821	JTC 1/SC 26 N 36

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

BUS CEI 821 VMEbus -

BUS SYSTEME A MICROPROCESSEURS POUR DONNEES DE 1 OCTET A 4 OCTETS

CHAPITRE 0: INTRODUCTION

0.1 *Domaine d'application*

La présente norme décrit un bus de fond de panier à hautes performances utilisable dans les systèmes à microprocesseurs, à monoprocesseurs ou à multiprocesseurs. La norme est basée sur la spécification VMEbus du groupe de fabricants VME, août 1982. Ce bus inclut quatre sous-systèmes de bus: le bus de transfert de données, le bus d'interruptions prioritaires, le bus d'arbitrage et le bus utilitaire. Le bus de transfert de données supporte des transferts de données de 8, 16 et 32 bits sur 32 lignes de données et 32 lignes d'adresse non multiplexées. Les protocoles de transfert sont asynchrones et interverrouillés. Le bus d'interruptions prioritaires fournit au système les services d'interruption en temps réel. L'allocation du bus est assurée par le bus d'arbitrage, qui permet l'implémentation des algorithmes d'arbitrage de type priorité tournante et de type prioritaire. Le bus utilitaire fournit la synchronisation pour la mise sous tension et la mise hors tension du système. Les spécifications mécaniques des cartes, des fonds de panier, des sous-châssis et des châssis sont basées sur la Publication 297 de la CEI.

0.2 *Références normatives*

Les publications suivantes de la CEI sont citées dans la présente norme:

Publications n^{os} 297-1 (1982): Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.

297-3 (1984): Troisième partie: Bacs et blocs enfichables associés.

603-2 (1980): Connecteurs pour fréquences inférieures à 3 MHz pour utilisation avec cartes imprimées, Deuxième partie: Connecteurs pour circuits imprimés en deux parties, pour grille de base de 2,54 mm (0.1 in) avec caractéristiques de montage communes.

822 (1988): CEI 822 VSB - Bus parallèle de sous-système du Bus CEI 821 VMEbus.

823 (1990): Bus système à microprocesseurs (VMSbus) - Bus sous-système série du bus CEI 821 (VMEbus).

IEC 821 VMEbus -

MICROPROCESSOR SYSTEM BUS FOR 1 BYTE TO 4 BYTE DATA

CHAPTER 0: INTRODUCTION

0.1 *Scope*

This standard specifies a high performance backplane bus for use in microcomputer systems that employ single or multiple microprocessors. It is based on the VMEbus specification, released by the VME Manufacturers Group in August of 1982. The bus includes four sub-buses: the Data Transfer Bus, the Priority Interrupt Bus, the Arbitration Bus and the Utility Bus. The Data Transfer Bus supports 8-, 16- and 32-bits transfers over a non-multiplexed 32-bit data and address highway. The transfer protocols are asynchronous and fully handshaken. The Priority Interrupt Bus provides real-time interrupt services to the system. The allocation of bus mastership is performed by the Arbitration Bus, which allows to implement both Round Robin and Prioritized arbitration algorithms. The Utility bus provides the system with power-up and power-down synchronization. The mechanical specifications of boards, backplanes, subracks and enclosures are based on IEC Publication 297.

0.2 *Normative references*

The following IEC publications are quoted in this standard:

Publication Nos.	297-1 (1982):	Dimensions of mechanical structures of the 482.6 mm (19 in) series, Part 1: Panels and racks.
	297-3 (1984):	Subracks and associated plug-in units.
	603-2 (1980:	Connectors for frequencies below 3 MHz for use with printed boards, Part 2: Two-part connectors for printed boards for basic grid of 2.54 mm (0.1 in), with common mounting features.
	822 (1988):	IEC 822 VSB - Parallel sub-system bus of the IEC 821 VMEbus.
	823 (1990):	Microprocessor system bus (VMSbus) - Serial sub-system bus of the IEC 821 Bus (VMEbus).