# NORME INTERNATIONALE
# INTERNATIONAL STANDARD

**CEI**
**IEC**
**935**

Deuxième édition
Second edition
1996-07

## Instrumentation nucléaire – Système modulaire d'acquisition rapide de données – FASTBUS

## Nuclear instrumentation – Modular high speed data acquisition system – FASTBUS

© CEI 1996 Droits de reproduction réservés — Copyright – all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève, Suisse

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

# SOMMAIRE

**AVANT-PROPOS** . . . . . 1

**Section 0. Références normatives** . . . . . 1

**Section 1. Objet, domaine d'application et introduction générale** . . . . . 2
1.1 Objet et domaine d'application . . . . . 2
1.2 Introduction générale . . . . . 2
1.2.1 Fonctionnement du FASTBUS . . . . . 5
1.2.2 Interconnexion de segments . . . . . 8
1.2.3 Registres de contrôle et d'état . . . . . 9
1.2.4 Adressage géographique . . . . . 9
1.2.5 Transfert de blocs et en pipe-line . . . . . 10
1.2.6 Opérations à verrouillage d'adresse et d'arbitrage . . . . . 11
1.2.7 Scrutation des données éparses . . . . . 12
1.2.8 Opérations de DIFFUSION . . . . . 12
1.2.9 Arbitrage pour la maîtrise du bus . . . . . 13
1.2.10 Interruptions . . . . . 14
1.2.11 Cadencement . . . . . 14
1.2.12 Initialisation . . . . . 15
1.2.13 Outils de diagnostic . . . . . 15

**Section 2. Conventions, définitions, abréviations et symboles** . . . . . 16
2.1 Interprétation de cette norme . . . . . 16
2.2 Notations et conventions des signaux logiques . . . . . 16
2.3 Définitions (suivant l'ordre alphabétique français) . . . . . 17
2.4 Abréviations . . . . . 24
2.5 Symboles . . . . . 26

**Section 3. Signaux, lignes et contacts des signaux** . . . . . 27
3.1 Types des lignes des signaux . . . . . 27
3.2 Nomenclature des signaux . . . . . 27
3.3 Brève description des signaux, des lignes et des contacts . . . . . 27
3.3.1 AS - Synchronisation Adresse (T, Maître) . . . . . 28
3.3.2 AK - Acceptation d'une Adresse (T, Esclave ou Ancillaire) . . . . . 28
3.3.3 EG - Mise en service géographique (CT, Maître ou Ancillaire) . . . . . 28
3.3.4 MS - Sélection de Mode (C, Maître) . . . . . 28
3.3.5 AD - Adresse/donnée (I, Maître ou Esclave) . . . . . 28
3.3.6 SS - Etat de l'Esclave (I, Esclave) . . . . . 28
3.3.7 DS - Synchronisation des données (T, Maître) . . . . . 29
3.3.8 DK - Acceptation des données (T, Esclave ou Ancillaire) . . . . . 29
3.3.9 RD - Lecture (C, Maître) . . . . . 29
3.3.10 PE - Mise en service de la parité (I, Maître ou Esclave) . . . . . 29
3.3.11 PA - Parité (I, Maître ou Esclave) . . . . . 29
3.3.12 WT - Attente (A, tous les dispositifs) . . . . . 29
3.3.13 AR - Demande d'arbitrage (A, Maître) . . . . . 29
3.3.14 AG - Octroi de l'arbitrage (TA, Ancillaire) . . . . . 29
3.3.15 AL - Niveau d'arbitrage (IA, Maître) . . . . . 30
3.3.16 GK - Acceptation de l'octroi (TA, Maître) . . . . . 30
3.3.17 AI - Inhibition de la demande d'arbitrage (CA, Ancillaire) . . . . . 30
3.3.18 SR - Demande de service (A, Maître ou Esclave) . . . . . 30
3.3.19 RB - Remise à zéro du bus (A, Maître ou Maître via les SI) . . . . . 30
3.3.20 BH - Arrêt du bus (C, Ancillaire) . . . . . 30
3.3.21 GA - Adressage géographique (F, câblé) . . . . . 30
3.3.22 TP - Contact T (I, Esclave) . . . . . 31
3.3.23 DL, DR - Guirlande (I, Maître ou Esclave) . . . . . 31

# CONTENTS

FOREWORD . . . . . 1

**Section 0. Normative References** . . . . . 1

**Section 1. Object, scope and introductory overview** . . . . . 2
1.1 Object and scope . . . . . 2
1.2 Introductory overview . . . . . 2
1.2.1 FASTBUS Operations . . . . . 5
1.2.2 Segment Interconnects . . . . . 8
1.2.3 Control and Status Registers . . . . . 9
1.2.4 Geographical Addressing . . . . . 9
1.2.5 Block and Pipelined Transfers . . . . . 10
1.2.6 Address Locked and Arbitration Locked Operations . . . . . 11
1.2.7 Sparse Data Scan . . . . . 12
1.2.8 BROADCAST Operations . . . . . 12
1.2.9 Arbitration for Bus Mastership . . . . . 13
1.2.10 Interrupts . . . . . 14
1.2.11 Timing . . . . . 14
1.2.12 Initialization . . . . . 15
1.2.13 Diagnostic Tools . . . . . 15

**Section 2. Conventions, definitions, abbreviations and symbols** . . . . . 16
2.1 Interpretation of this standard . . . . . 16
2.2 Notations and logic signal conventions . . . . . 16
2.3 Definitions (according to English alphabetical order) . . . . . 17
2.4 Acronyms . . . . . 24
2.5 Symbols . . . . . 26

**Section 3. Signals, signal lines and pins** . . . . . 27
3.1 Types of signal lines . . . . . 27
3.2 Signal nomenclature . . . . . 27
3.3 Brief description of signals, lines and pins . . . . . 27
3.3.1 AS - Address Sync (T, Master) . . . . . 28
3.3.2 AK - Address Acknowledge (T, Slave or ANC) . . . . . 28
3.3.3 EG - Enable Geographical (C, Master or ANC) . . . . . 28
3.3.4 MS - Mode Select (C, Master) . . . . . 28
3.3.5 AD - Address/Data (I, Master or Slave) . . . . . 28
3.3.6 SS - Slave Status (I, Slave) . . . . . 28
3.3.7 DS - Data Sync (T, Master) . . . . . 29
3.3.8 DK - Data Acknowledge (T, Slave or ANC) . . . . . 29
3.3.9 RD - Read (C, Master) . . . . . 29
3.3.10 PE - Parity Enable (I, Master or Slave) . . . . . 29
3.3.11 PA - Parity (I, Master or Slave) . . . . . 29
3.3.12 WT - Wait (A, Any Device) . . . . . 29
3.3.13 AR - Arbitration Request (A, Master) . . . . . 29
3.3.14 AG - Arbitration Grant (TA, ANC) . . . . . 29
3.3.15 AL - Arbitration Level (IA, Master) . . . . . 30
3.3.16 GK - Grant Acknowledge (TA, Master) . . . . . 30
3.3.17 AI - Arbitration Request Inhibit (CA, ANC) . . . . . 30
3.3.18 SR - Service Request (A, Master or Slave) . . . . . 30
3.3.19 RB - Reset Bus (A, Master or Master via SIs) . . . . . 30
3.3.20 BH - Bus Halted (C, ANC) . . . . . 30
3.3.21 GA - Geographical Address (F, Hardwired) . . . . . 30
3.3.22 TP - T Pins (I, Slave) . . . . . 31
3.3.23 DL, DR - Daisy Chain (I, Master or Slave) . . . . . 31

3.3.24 TX, RX - Lignes du réseau série (A, Maître ou Esclave) . . . 31
3.3.25 TR - Lignes adaptées d'usage restreint . . . 31
3.3.26 UR - Lignes non adaptées d'usage restreint . . . 32
3.3.27 Autres lignes et contacts . . . 32
3.4 Charge du bus . . . 32
3.4.1 Limites en tension et en courant sur les lignes des signaux et les contacts F . . . 32

**Section 4. Fonctionnement du FASTBUS: adressage** . . . 33
4.1 Adressage logique . . . 33
4.2 Adressage géographique . . . 35
4.3 Adressage en diffusion . . . 36
4.3.1 Contrôle du Maître dans une diffusion . . . 37
4.3.2 Réponse des Esclaves à une opération de diffusion . . . 39
4.4 Adressage secondaire . . . 44
4.5 Fonctionnement en scrutation des données éparses et en sélection par configuration 44

**Section 5. Fonctionnement du FASTBUS: chronogrammes, séquences et réponses** . . . 46
5.1 Caractéristiques générales du cadencement Maître/Esclave . . . 46
5.1.1 Caractéristiques de cadencement des signaux du Maître . . . 47
5.1.2 Caractéristiques du cadencement de l'Esclave . . . 48
5.1.3 Utilisation de la ligne d'attente (WT) . . . 50
5.2 Cycles d'adresse primaire . . . 51
5.2.1 Séquence du Maître pour positionner AS . . . 53
5.2.2 Réponse de l'Esclave à AS(u) . . . 53
5.2.3 Réponse du Maître à AK(u) . . . 55
5.3 Fonctionnement . . . 55
5.3.1 Séquence du Maître pour positionner DS . . . 58
5.3.2 Réponse de l'Esclave à DS(t) . . . 59
5.3.3 Analyse des réponses d'état de l'Esclave . . . 60
5.3.4 Réponse du Maître à DK(t) . . . 62
5.4 Utilisation de la ligne de remise à zéro (RB) . . . 62
5.4.1 Positionnement de RB par le Maître . . . 63
5.4.2 Réponse du dispositif à RB . . . 63
5.5 Réponse des dispositifs à la mise sous tension . . . 63
5.6 Diagrammes d'état pour les opérations FASTBUS . . . 64

**Section 6. Arbitrage du bus** . . . 65
6.1 Utilisation des lignes du bus pour une procédure d'arbitrage . . . 66
6.2 La procédure d'arbitrage . . . 67
6.3 Règles d'arbitrage . . . 70
6.3.1 Positionnement de AR par le Maître et transmission de AR par le SI . . . 70
6.3.2 Positionnement et libération de AI par l'ATC . . . 71
6.3.3 Positionnement et libération de AG par l'ATC . . . 71
6.3.4 Positionnement et libération de AL par le Maître . . . 72
6.3.5 Positionnement et libération de GK par le Maître . . . 72
6.4 Arbitrage a travers le système . . . 73

**Section 7. Logique ancillaire sur un segment** . . . 75
7.1 Contrôle de la séquence d'arbitrage (ATC) . . . 75
7.1.1 Génération de AI par l'ATC . . . 75
7.1.2 Génération de AG par l'ATC . . . 75
7.2 Contrôle des adresses géographiques . . . 76
7.3 Génération du dialogue système (diffusion) . . . 77
7.4 Commande marche/arrêt et arrêt du bus . . . 78
7.5 Adaptation . . . 79
7.6 Logique ancillaire pour un segment-châssis . . . 80
7.7 Logique ancillaire pour un segment-câble . . . 81

**Section 8. Espace des registres de contrôle et d'état** . . . 82

3.3.24 TX, RX - Serial Network Lines (A, Master or Slave) . . . 31
3.3.25 TR - Terminated Restricted Use Lines . . . 31
3.3.26 UR - Unterminated Restricted Use Lines . . . 32
3.3.27 Other Lines and Pins . . . 32
3.4 Bus loading . . . 32
3.4.1 Voltage and Current Limits For Signal Lines and F Pins . . . 32

**Section 4. FASTBUS Operations: Addressing** . . . 33
4.1 Logical Addressing . . . 33
4.2 Geographical Addressing . . . 35
4.3 Broadcast Addressing . . . 36
4.3.1 Master's Control of a Broadcast . . . 37
4.3.2 Slave Response to Broadcast Operations . . . 39
4.4 Secondary Addressing . . . 44
4.5 Sparse Data Scan and Pattern Select Operation . . . 44

**Section 5. FASTBUS Operations: Timing, Sequences and Responses** . . . 46
5.1 General Master/Slave Timing Requirements . . . 46
5.1.1 Master Signal Timing Requirements . . . 47
5.1.2 Slave Signal Timing Requirements . . . 48
5.1.3 Use of Wait (WT) . . . 50
5.2 Primary Address Cycles . . . 51
5.2.1 Master Sequence for Asserting AS . . . 53
5.2.2 Slave Response to AS(u) . . . 53
5.2.3 Master Response to AK(u) . . . 55
5.3 Operations . . . 55
5.3.1 Master Sequence for Asserting DS . . . 58
5.3.2 Slave Response to DS(t) . . . 59
5.3.3 Discussion of Slave Status Responses . . . 60
5.3.4 Master Response to DK(t) . . . 62
5.4 Master Reset Bus (RB) . . . 62
5.4.1 Master Assertion of RB . . . 63
5.4.2 Device Response to RB . . . 63
5.5 Device Response to Power On . . . 63
5.6 State Diagrams for FASTBUS Operations. . . . 64

**Section 6. Bus Arbitration** . . . 65
6.1 Bus Line Usage for the Arbitration Process . . . 66
6.2 The Arbitration Process . . . 67
6.3 Arbitration Rules . . . 70
6.3.1 Master Assertion of AR and Segment Interconnect Passing of AR . . . 70
6.3.2 ATC Assertion and Release of AI . . . 71
6.3.3 ATC Assertion and Release of AG . . . 71
6.3.4 Master Assertion and Release of AL . . . 72
6.3.5 Master Assertion and Release of GK . . . 72
6.4 System Wide Arbitration . . . 73

**Section 7. Ancillary Logic on a Segment** . . . 75
7.1 Arbitration Timing Control (ATC) . . . 75
7.1.1 ATC Generation of AI . . . 75
7.1.2 ATC Generation of AG . . . 75
7.2 Geographical Address Control . . . 76
7.3 System Handshake Generation (Broadcast) . . . 77
7.4 Run/Halt Control and Bus Halted . . . 78
7.5 Terminators . . . 79
7.6 Ancillary Logic for Crate Segments . . . 80
7.7 Ancillary Logic for Cable Segments . . . 81

**Section 8. Control and Status Register Space** . . . 82

8.1 Fonctions de positionnement et d'effacement sélectifs . . . 83
8.2 Allocation de l'espace normal CSR . . . 84
8.3 Registre CSR 0 . . . 86
8.3.1 L'ID du dispositif et son attribution . . . 87
8.3.2 Attribution des bits de contrôle et d'état . . . 89
8.4 Registre CSR 1 . . . 89
8.5 Registre CSR 2 . . . 90
8.6 Registre CSR 3 . . . 92
8.7 Registre CSR 4 . . . 92
8.8 Registre CSR 5 . . . 93
8.9 Registre CSR 6 . . . 93
8.10 Registre CSR 7 . . . 93
8.11 Registre CSR 8 . . . 93
8.12 Registre CSR 9 et registres CSR 1Ch a 1Fh . . . 94
8.13 Registres CSR de Ah à Fh . . . 94
8.14 Registres CSR de 20h à 3Fh . . . 95
8.15 Registres CSR de 70h à 81h . . . 95
8.16 Registres CSR A0h à AFh, B0h à BFh et C0h à CFh . . . 96
8.17 Registres CSR de 8000 0000h à BFFF FFFFh, espace paramètres . . . 96
8.18 Remise a zéro des bits des CSR . . . 97
8.19 Registre CSR 18 . . . 98
8.20 Registre CSR 19 . . . 99

**Section 9. Interruptions** . . . 100
9.1 Opération d'interruption . . . 100
9.2 Lignes de demande de service . . . 101
9.3 Saturation de la ligne SR . . . 103

**Section 10. Interconnexion de segments** . . . 104
10.1 Types d'interconnexion de segments . . . 104
10.2 Transmission des opérations . . . 105
10.3 Règlement des conflits . . . 106
10.4 Tables de routage . . . 107
10.5 Registres de contrôle et d'état . . . 108
10.5.1 CSR#0 - ID, contrôle et état . . . 111
10.5.2 CSR#1 - Niveau d'arbitrage du côté lointain . . . 111
10.5.3 CSR#8 - Niveau d'arbitrage côté proche . . . 111
10.5.4 CSR#9 - Registre de contrôle du temporisateur . . . 111
10.5.5 CSR#40h - Registre d'adresse de la table de routage . . . 111
10.5.6 CSR#41h - Registre de données de la table de routage . . . 112
10.5.7 CSR#42h - Adresse géographique du côté proche . . . 112
10.5.8 CSR#43h - Adresse géographique du côté lointain . . . 112
10.5.9 Effets de différentes actions sur les bits des CSR d'un SI . . . 113
10.6 Tables de routage . . . 113
10.6.1 Informations de transmission, de destination et de base . . . 113
10.6.2 Règles de génération . . . 114
10.7 Actions des SI . . . 114
10.7.1 Reconnaissance des adresses . . . 114
10.7.2 Arbitrage du SI . . . 115
10.7.3 Règlement des conflits . . . 115
10.7.4 Réponse négative . . . 116
10.7.5 Modification des adresses géographiques et de diffusion . . . 117
10.7.6 Transmission des opérations . . . 117
10.7.7 Utilisation et génération de la parité par le SI . . . 120
10.7.8 Réponse de l'interconnexion de segment à RB . . . 120
10.7.9 Contraintes de séquencement . . . 120
10.8 Registre d'adresse de base . . . 121

**Section 11. Transferts en bloc et en pipe-line** . . . 122

8.1 Selective Set and Clear Functions . . . 83
8.2 Normal CSR Space Allocation . . . 84
8.3 CSR Register 0 . . . 86
8.3.1 Device IDs and their Allocation . . . 87
8.3.2 Control and Status Bit Allocation . . . 89
8.4 CSR Register 1 . . . 89
8.5 CSR Register 2 . . . 90
8.6 CSR Register 3 . . . 92
8.7 CSR Register 4 . . . 92
8.8 CSR Register 5 . . . 93
8.9 CSR Register 6 . . . 93
8.10 CSR Register 7 . . . 93
8.11 CSR Register 8 . . . 93
8.12 CSR Register 9 AND CSR Register 1Ch to 1Fh . . . 94
8.13 CSR Registers Ah to Fh . . . 94
8.14 CSR Registers 20h to 3Fh . . . 95
8.15 CSR Registers 70h to 81h . . . 95
8.16 CSR Registers A0h to AFh, B0h to BFh and C0h to CFh . . . 96
8.17 CSR Registers 8000 0000h to BFFF FFFFh, Parameter Space . . . 96
8.18 Clearing of CSR Bits . . . 97
8.19 CSR register 18 . . . 98
8.20 CSR Register 19 . . . 99

**Section 9. Interrupts** . . . 100
9.1 Interrupt Operation . . . 100
9.2 The Service Request Line . . . 101
9.3 SR line Saturation. . . . 103

**Section 10. Interconnection of Segments** . . . 104
10.1 Types of Segment Interconnects . . . 104
10.2 Operation Passing . . . 105
10.3 Contention Resolution . . . 106
10.4 Route Tables . . . 107
10.5 Control and Status Registers . . . 108
10.5.1 CSR#0 - ID, Status and Control . . . 111
10.5.2 CSR#1 Far-side Arbitration Level . . . 111
10.5.3 CSR#8 Near-side Arbitration Level . . . 111
10.5.4 CSR#9 Timer Control Register . . . 111
10.5.5 CSR#40h Route Table Address Register . . . 111
10.5.6 CSR#41h Route Table Data Register . . . 112
10.5.7 CSR#42h Near-side Geographical Address . . . 112
10.5.8 CSR#43h Far-side Geographical Address . . . 112
10.5.9 Effect of Various Actions on CSR Bits in SIs . . . 113
10.6 Route Tables . . . 113
10.6.1 Pass, Destination and Base Information . . . 113
10.6.2 Generation Rules . . . 114
10.7 SI Actions . . . 114
10.7.1 Address Recognition . . . 114
10.7.2 SI Arbitration . . . 115
10.7.3 Contention Resolution . . . 115
10.7.4 Negative Responses . . . 116
10.7.5 Modification of Geographical and Broadcast Addresses . . . 117
10.7.6 Operation Passing . . . 117
10.7.7 SI use and Generation of Parity . . . 120
10.7.8 Segment Interconnect Response to RB . . . 120
10.7.9 Timing Requirements . . . 120
10.8 Base Address Register . . . 121

**Section 11. Block and Pipelined Transfers** . . . 122

11.1 Terminaison des transferts de bloc et en pipe-line . . . 123
11.2 Incrémentation de l'adresse interne dans les transferts de bloc . . . 124
11.3 Les FIFO et les erreurs de transfert de données . . . 124
11.4 Transfert de données multi-module . . . 125

**Section 12. Caractéristiques des signaux** . . . 126
12.1 Niveaux des signaux . . . 126

**Section 13. Les modules** . . . 127
13.1 Carte circuit du module . . . 127
13.1.1 Zone de mise à la masse pour la décharge des charges statiques . . . 128
13.1.2 Raidisseurs . . . 128
13.2 Connecteurs . . . 128
13.2.1 Connecteur de segment . . . 128
13.2.2 Connecteur auxiliaire du module . . . 134
13.2.3 Autres connecteurs . . . 135
13.2.4 Désignations des contacts des connecteurs de segment et auxiliaires . . . 135
13.3 Considérations sur la température et la puissance dissipable . . . 135
13.3.1 Températures des puces et des modules . . . 136
13.3.2 Puissance dissipée . . . 137
13.3.3 Refroidissement . . . 137
13.4 Panneau avant . . . 137
13.5 Voyants indiquant l'activité du module . . . 138
13.6 Indication de la consommation . . . 138
13.7 Transitoires . . . 138

**Section 14. Les châssis** . . . 139
14.1 Construction des châssis . . . 139
14.2 Fond de panier du châssis . . . 140
14.2.1 Connecteur de segment du châssis et câblage associé . . . 140
14.2.2 Connecteur auxiliaire de châssis . . . 142
14.2.3 Guides des connecteurs . . . 142
14.2.4 Contraintes de courant sur le fond de panier . . . 144
14.2.5 Autres éléments du fond de panier . . . 144
14.3 Refroidissement . . . 145
14.4 Ensemble commutateur marche/arrêt . . . 145
14.5 Cartes de circuit montées a l'arrière du fond de panier . . . 145
14.6 Marquage des châssis . . . 146
14.7 Contacts de décharge des charges statiques . . . 147

**Section 15. Alimentations** . . . 148

**Section 16. Segment-câble** . . . 149
16.1 Signaux sur un segment-câble . . . 149
16.2 Connecteurs du segment-câble et affectation des contacts . . . 149

**Annexe A. Prescriptions pour différentes réalisations** . . . 153
A.1 Réalisation en ECL . . . 153
A.1.1 Détails des connexions et des niveaux des signaux ECL . . . 153
A.1.2 Détails du cadencement des signaux ECL . . . 155
A.1.3 Délai de réessai . . . 155
A.1.4 Temps de réponse . . . 155
A.1.5 Résistances d'adaptation . . . 155
A.1.6 Courant nécessaire pour le générateur de tension GA . . . 155
A.1.7 Différences de températures entre les puces . . . 155
A.1.8 Distribution des modules sur un segment-châssis . . . 155

**Annexe B. Interconnexions en ECL sur la face avant** . . . 158
B.1 Amplitude et niveaux des signaux . . . 158

11.1 Block and Pipelined Transfer Termination . . . . . 123
11.2 Block Transfer Internal Address Incrementation . . . . . 124
11.3 FIFOs and Errors in Data Transfer . . . . . 124
11.4 Multimodule Data Transfers . . . . . 125

**Section 12. Signal Characteristics** . . . . . 126
12.1 Signal Levels . . . . . 126

**Section 13. Modules** . . . . . 127
13.1 Module Circuit Board . . . . . 127
13.1.1 Grounding Area for Static Charge Discharge . . . . . 128
13.1.2 Stiffener Bars . . . . . 128
13.2 Connectors . . . . . 128
13.2.1 Segment Connector . . . . . 128
13.2.2 Module Auxiliary Connector . . . . . 134
13.2.3 Other Connectors . . . . . 135
13.2.4 Segment and Auxiliary Connector Contact Designations . . . . . 135
13.3 Temperature Considerations and Power Dissipation . . . . . 135
13.3.1 Die and Module Temperatures . . . . . 136
13.3.2 Power Dissipation . . . . . 137
13.3.3 Cooling . . . . . 137
13.4 Front Panel . . . . . 137
13.5 Module Activity Indicators . . . . . 138
13.6 Labeling of Power Requirements . . . . . 138
13.7 Transients . . . . . 138

**Section 14. Crates** . . . . . 139
14.1 Crate Construction . . . . . 139
14.2 Crate Backplane . . . . . 140
14.2.1 Crate Segment Connector and Associated Wiring . . . . . 140
14.2.2 Crate Auxiliary Connector . . . . . 142
14.2.3 Connector Guides . . . . . 142
14.2.4 Backplane Current Requirements . . . . . 144
14.2.5 Other Backplane Items . . . . . 144
14.3 Cooling . . . . . 145
14.4 Run/halt Switch Assembly . . . . . 145
14.5 Circuit Boards mounted at rear of Backplane . . . . . 145
14.6 Crate Markings . . . . . 146
14.7 Contacts for Static Charge discharge . . . . . 147

**Section 15. Power** . . . . . 148

**Section 16. Cable Segment** . . . . . 149
16.1 Signals on a Cable Segment . . . . . 149
16.2 Cable Segment Connectors and Contact Assignments . . . . . 149

**Annex A. Requirements for various Implementations** . . . . . 153
A.1 ECL Implementation . . . . . 153
A.1.1 ECL Connections and Signal Level Details . . . . . 153
A.1.2 ECL Timing Details . . . . . 155
A.1.3 Retry Period . . . . . 155
A.1.4 Response Times . . . . . 155
A.1.5 Terminators . . . . . 155
A.1.6 GA Logic Generating Circuit Requirements . . . . . 155
A.1.7 Differential Die Temperatures . . . . . 155
A.1.8 Module Distribution in Crate Segments . . . . . 155

**Annex B. Front Panel Interconnections for ECL** . . . . . 158
B.1 Signal Amplitude and Levels . . . . . 158

B.2 Câbles . . . 158
B.3 Connecteurs . . . 158
B.3.1 Connecteurs multicontact . . . 159
B.3.2 Signaux différentiels ECL sur les connecteurs multicontact . . . 159
B.3.3 Signaux différentiels ECL sur un connecteur à 2 contacts . . . 160
B.4 Emetteurs, récepteurs et résistances d'adaptation . . . 160

**Annexe C. Réalisation du segment-câble** . . . 162
C.1 Caractéristiques électriques d'un segment-câble . . . 163
C.2 Réalisation en ECL d'un segment-câble . . . 163

**Annexe D. Exemples de réalisations d'éléments de maîtres** . . . 166
D.1 Circuit d'arbitrage du maître . . . 166

**Annexe E. Interconnexion de segments FASTBUS type S-1** . . . 167
E.1 Caractéristiques générales d'une interconnexion de segment type S-1 . . . 167
E.1.1 Type . . . 167
E.1.2 Format . . . 167
E.1.3 Segment-câble . . . 168
E.1.4 Champ d'adresse de groupe . . . 168
E.1.5 Réalisation des tables de routage . . . 168
E.1.6 CSR#0 - ID, état et contrôle . . . 169
E.1.7 Registre NTA . . . 169
E.2 Caractéristiques de la face avant . . . 169

**Annexe F. Réalisation de modules** . . . 170
F.1 Exemple de réalisation de modules . . . 170

**Annexe G. Exemple de réalisation de châssis type A** . . . 171
G.1 Châssis type A . . . 171
G.1.1 Construction de châssis type A . . . 171
G.1.2 Fond de panier du châssis type A . . . 171
G.2 Exemple de réalisation de châssis type A . . . 171
G.3 Possibilités pour monter des cartes a l'arrière . . . 176

**Annexe H. Exemples de réalisation de châssis et de module type W** . . . 177
H.1 Châssis type W . . . 177
H.1.1 Construction du châssis type W . . . 177
H.1.2 Exemple de réalisation de châssis type W . . . 177
H.2 Réalisation du module pour les châssis type W . . . 177

**Annexe I. Alimentations standards** . . . 180
I.1 Alimentation a efficacité élevée . . . 180
I.1.1 Généralités . . . 180
I.1.2 Efficacité . . . 180
I.1.3 Gamme de températures ambiantes . . . 180
I.1.4 Entrée . . . 180
I.1.5 Sorties . . . 181
I.1.6 Stabilisation à distance . . . 181
I.1.7 Régulation et stabilité . . . 181
I.1.8 Coefficient de température . . . 181
I.1.9 Bruit et oscillation résiduelle . . . 182
I.1.10 Temps de récupération et transitoires de marche et d'arrêt . . . 182
I.1.11 Bruit par transmission et rayonnement . . . 182
I.1.12 Contacts de sortie . . . 182
I.1.13 Commandes de réglage des tensions . . . 182
I.1.14 Protection . . . 183
I.1.15 Surveillance . . . 183
I.1.16 Essais aux limites . . . 183

B.2 Cables . . . 158
B.3 Connectors . . . 158
B.3.1 Multipin Connectors . . . 159
B.3.2 ECL Differential Signals on Multicontact Connectors . . . 159
B.3.3 ECL Differential Signals on Two-Contact Connectors . . . 160
B.4 Drivers, Receivers and Terminators . . . 160

**Annex C. Cable Segment Implementation** . . . 162
C.1 Electrical Specification for Cable Segment . . . 163
C.2 ECL Cable Segment Implementation . . . 163

**Annex D. Implementation Examples of Master Requirements** . . . 166
D.1 Master Arbitration Circuitry . . . 166

**Annex E. FASTBUS Segment Interconnect type S-1** . . . 167
E.1 General Features of Segment Interconnect type S-1 . . . 167
E.1.1 Type . . . 167
E.1.2 Format . . . 167
E.1.3 Cable Segment . . . 168
E.1.4 Group Address Field . . . 168
E.1.5 Route Table Implementation . . . 168
E.1.6 CSR#0 - ID, Status and Control . . . 169
E.1.7 NTA Register . . . 169
E.2 Front Panel Features . . . 169

**Annex F. Module Implementation** . . . 170
F.1 Typical Module Implementations . . . 170

**Annex G. Examples of type a Crate Implementation** . . . 171
G.1 Type A Crate . . . 171
G.1.1 Type A Crate Construction . . . 171
G.1.2 Type A Crate Backplane . . . 171
G.2 Example of Type a Crate Implementation . . . 171
G.3 Mounting provision for Rear-mounted Circuit Boards . . . 176

**Annex H. Examples of Type W Crate and Type W Module Assembly** . . . 177
H.1 Type W Crate . . . 177
H.1.1 Type W Crate Construction . . . 177
H.1.2 Example of Type W Crate Implementation . . . 177
H.2 Module Implementation for Type W Crates . . . 177

**Annex I. Typical Power Supplies** . . . 180
I.1 High-efficiency Power Supply . . . 180
I.1.1 General . . . 180
I.1.2 Efficiency . . . 180
I.1.3 Ambient Temperature Range . . . 180
I.1.4 Input . . . 180
I.1.5 Output . . . 181
I.1.6 Remote Sense . . . 181
I.1.7 Regulation and Stability . . . 181
I.1.8 Temperature Coefficient . . . 181
I.1.9 Noise and Ripple . . . 182
I.1.10 Recovery Time and Turn-On and Turn-Off Transients . . . 182
I.1.11 Conducted and Radiated Noise . . . 182
I.1.12 Output Terminals . . . 182
I.1.13 Voltage Adjustment Controls . . . 182
I.1.14 Protection . . . 183
I.1.15 Monitoring . . . 183
I.1.16 Margining . . . 183

I.1.17 Contrôle extérieur du déclenchement du disjoncteur . . . 183
I.1.18 Sortie secteur commandée . . . 184
I.1.19 Panneau avant . . . 184
I.1.20 Montage en châssis . . . 184
I.1.21 Refroidissement . . . 184
I.2 Alimentation a faible bruit . . . 184
I.2.1 Généralités . . . 184
I.2.2 Efficacité . . . 184
I.2.3 Gamme de températures ambiantes . . . 185
I.2.4 Entrée . . . 185
I.2.5 Sorties . . . 185
I.2.6 Stabilisation à distance . . . 185
I.2.7 Régulation et stabilité . . . 185
I.2.8 Coefficient de température . . . 185
I.2.9 Bruit et oscillation résiduelle . . . 185
I.2.10 Temps de récupération et transitoires de marche et d'arrêt . . . 185
I.2.11 Bruit par transmission et rayonnement . . . 185
I.2.12 Contacts de sortie . . . 185
I.2.13 Commandes de réglage des tensions . . . 185
I.2.14 Protection . . . 185
I.2.15 Surveillance . . . 185
I.2.16 Essais aux limites . . . 186
I.2.17 Contrôle extérieur du déclenchement du disjoncteur . . . 186
I.2.18 Sortie secteur commandée . . . 186
I.2.19 Panneau avant . . . 186
I.2.20 Montage en châssis . . . 186
I.2.21 Refroidissement . . . 186

**Annexe J. Procédures de prise en compte des états non nuls** . . . 187
J.1 Erreurs au moment de l'adressage . . . 187
J.1.1 Déclenchement du temporisateur au moment de l'adressage . . . 187
J.1.2 Erreur de parité au moment de l'adressage . . . 187
J.1.3 SS = 1 au moment de l'adressage - Réseau occupé . . . 187
J.1.4 SS = 2 au moment de l'adressage - Panne de réseau . . . 187
J.1.5 SS = 3 au moment de l'adressage - Abandon du réseau . . . 187
J.1.6 Réponses d'un SI: SS = 1, SS = 2 ou SS = 3 - Généralités . . . 188
J.1.7 Pistage de la route prise par une opération . . . 188
J.1.8 SS = 4 au moment de l'adressage - Réservé . . . 188
J.1.9 SS = 5 au moment de l'adressage - Réservé . . . 188
J.1.10 SS = 6 au moment de l'adressage - Réservé . . . 188
J.1.11 SS = 7 au moment de l'adressage - IA non valable, accepté . . . 189
J.2 Déclenchement du temporisateur au moment des données . . . 189
J.3 Réponses d'état de l'esclave . . . 189
J.3.1 SS = 0 - Action valable . . . 189
J.3.2 SS = 1 - Occupé . . . 189
J.3.3 SS = 2 - Fin de bloc . . . 189
J.3.4 SS = 3 - Défini par l'utilisateur . . . 189
J.3.5 SS = 4 - Réservé . . . 190
J.3.6 SS = 5 - Réservé . . . 190
J.3.7 SS = 6 - Erreur de données (rejeté) . . . 190
J.3.8 SS = 7 - Erreur de données (accepté) . . . 190
J.4 Réponse du calculateur hôte a un message d'erreur . . . 190
J.5 Erreurs dans les transmissions de ou vers les FIFO et les ports E/S . . . 191
J.5.1 Introduction . . . 191
J.5.2 Erreurs pendant les opérations de lecture . . . 191
J.5.3 Erreurs pendant les opérations d'écriture . . . 192

**Annexe K. Composants** . . . 193
K.1 Connecteurs . . . 193

I.1.17 External Breaker Trip Control . . . 183
I.1.18 Switched ac Outlet . . . 184
I.1.19 Front Panel . . . 184
I.1.20 Rack Mounting . . . 184
I.1.21 Cooling . . . 184
I.2 Low noise Power Supply . . . 184
I.2.1 General . . . 184
I.2.2 Efficiency . . . 184
I.2.3 Ambient Temperature Range . . . 185
I.2.4 Input . . . 185
I.2.5 Output . . . 185
I.2.6 Remote Sense . . . 185
I.2.7 Regulation and Stability . . . 185
I.2.8 Temperature Coefficient . . . 185
I.2.9 Noise and Ripple . . . 185
I.2.10 Recovery Time and Turn-on and Turn-off Transients . . . 185
I.2.11 Conducted and Radiated Noise . . . 185
I.2.12 Output Terminals . . . 185
I.2.13 Voltage Adjustment Controls . . . 185
I.2.14 Protection . . . 185
I.2.15 Monitoring . . . 185
I.2.16 Margining . . . 186
I.2.17 External Breaker Trip Control . . . 186
I.2.18 Switched ac Outlet . . . 186
I.2.19 Front Panel . . . 186
I.2.20 Rack Mounting . . . 186
I.2.21 Cooling . . . 186

**Annex J. Non-zero status handling Procedures** . . . 187
J.1 Address-time Errors . . . 187
J.1.1 Timeout at Address Time . . . 187
J.1.2 Parity Error at Address Time . . . 187
J.1.3 SS = 1 at Address Time - Network Busy . . . 187
J.1.4 SS = 2 at Address Time - Network Failure . . . 187
J.1.5 SS = 3 at Address Time - Network Abort . . . 187
J.1.6 SS = 1, SS = 2 or SS = 3 SI responses - General . . . 188
J.1.7 Tracing the Route Taken by an Operation . . . 188
J.1.8 SS = 4 at Address Time - Reserved . . . 188
J.1.9 SS = 5 at Address Time - Reserved . . . 188
J.1.10 SS = 6 at Address Time - Reserved . . . 188
J.1.11 SS = 7 at Address Time - Invalid IA, Accepted . . . 189
J.2 Timeout at Data Time . . . 189
J.3 Slave Status Responses . . . 189
J.3.1 SS = 0 - Valid Action . . . 189
J.3.2 SS = 1 - Busy . . . 189
J.3.3 SS = 2 - End of Block . . . 189
J.3.4 SS = 3 - User Defined . . . 189
J.3.5 SS = 4 - Reserved . . . 190
J.3.6 SS = 5 - Reserved . . . 190
J.3.7 SS = 6 - Data Error (Reject) . . . 190
J.3.8 SS = 7 - Data Error (Accept) . . . 190
J.4 Host Response to Error Messages . . . 190
J.5 Errors in Transfers to or from Fifos and I/O Ports . . . 191
J.5.1 Introduction . . . 191
J.5.2 Errors during Read Operations . . . 191
J.5.3 Errors during Write Operations . . . 192

**Annex K. Components** . . . 193
K.1 Connectors . . . 193

K.1.1 Connecteurs du module . . . . . 193
K.1.2 Connecteurs de segment-châssis et connecteurs auxiliaires de châssis . . . . . 193
K.2 Récepteurs, émetteurs et transmetteurs pour les segments Câble . . . . . 194
K.2.1 Récepteurs classe 0.9 . . . . . 194
K.2.2 Récepteurs classe Z . . . . . 194
K.2.3 Transmetteurs (émetteur/récepteur) . . . . . 194
K.2.4 Emetteur . . . . . 194
K.3 Circuits d'interface . . . . . 195

**Annexe L. Prescriptions pour la construction du système** . . . . . 196
L.1 Connexion des alimentations . . . . . 196
L.2 Réalisation du circuit imprime . . . . . 196
L.2.1 Matière du circuit . . . . . 196
L.2.2 Procédure de soudage . . . . . 196
L.3 Construction de la carte de fond de panier . . . . . 196
L.3.1 Revêtement de protection de la carte de fond de panier . . . . . 196
L.3.2 Contacts du connecteur de segment . . . . . 196

**Annexe M. Protection du système et des circuits** . . . . . 198
M.1 Interconnexion des alimentations continues . . . . . 198
M.2 Protection contre les surcharges en courant . . . . . 198
M.2.1 Fusibles sur la carte . . . . . 198
M.2.2 Mesure du courants sur le châssis . . . . . 198
M.3 Protection du fond de panier . . . . . 199
M.4 Système de protection global des baies . . . . . 199
M.5 Protection des bancs de test . . . . . 199
M.6 Modules et cartes déformés . . . . . 200
M.7 Contacts tordus sur le connecteur de segment . . . . . 200
M.8 Danger des insertions sous tension . . . . . 200

**Annexe N. Spécifications d'un transfert de données multi-modules (MDT-1)** . . . . . 201
N.1 Préalables, recommandations et définitions . . . . . 201
N.2 Configuration d'un ensemble Multi-Module pour une opération MDT . . . . . 202
N.3 Caractéristiques MDT des modules maillons . . . . . 202
N.3.1 Le maillon primaire . . . . . 203
N.3.2 Le maillon intermédiaire . . . . . 203
N.3.3 Le maillon final . . . . . 203
N.4 Opérations MDT élémentaires incluant les signaux et le cadencement . . . . . 204
N.4.1 Les signaux MDT et le cadencement . . . . . 204
N.4.2 Détermination des frontières . . . . . 204
N.4.3 Etat initial du contrôle du jeton pour un balayage MDT . . . . . 204
N.5 Le balayage MDT . . . . . 204
N.5.1 Passage du jeton . . . . . 204
N.5.2 Transfert de données MDT . . . . . 206
N.5.3 Procédure de fin de balayage . . . . . 206
N.5.4 Conditions d'erreur . . . . . 207
N.6 Réalisations . . . . . 207

**Index** . . . . . 208

K.1.1 Module Connectors . . . 193
K.1.2 Crate Segment Connectors and Crate Auxiliary Connectors . . . 193
K.2 Cable Segment Receivers, Drivers, Transceivers . . . 194
K.2.1 Class 0.9 Receivers . . . 194
K.2.2 Class Z Receivers . . . 194
K.2.3 Transceivers (receiver/driver) . . . 194
K.2.4 Drivers . . . 194
K.3 Interface Chips . . . 195

**Annex L. Construction and system requirements** . . . 196
L.1 Power Interconnections . . . 196
L.2 Circuit Board Construction . . . 196
L.2.1 Board material . . . 196
L.2.2 Soldering procedure . . . 196
L.3 Crate Backplane Construction . . . 196
L.3.1 Backplane protective coating . . . 196
L.3.2 Segment connector pins . . . 196

**Annex M. System and Circuit Protection** . . . 198
M.1 DC Power Interconnections . . . 198
M.2 Overcurrent Protection . . . 198
M.2.1 Circuit Board Fuses . . . 198
M.2.2 Crate-based Current Monitors . . . 198
M.3 Backplane Protection . . . 199
M.4 Full-Rack System Protection . . . 199
M.5 Test Stand Protection . . . 199
M.6 Warped Modules and Cards . . . 200
M.7 Bent Pins on Segment Connector . . . 200
M.8 Hazards of live insertion. . . . 200

**Annex N. Multi-Module Data Transfer Specification (MDT-1)** . . . 201
N.1 MDT prerequisites, recommendations and definitions . . . 201
N.2 Configuration of Multi-Module arrays for MDT operation . . . 202
N.3 The MDT features of the Link modules . . . 202
N.3.1 The Primary Link . . . 203
N.3.2 The Middle Link . . . 203
N.3.3 The End Link . . . 203
N.4 Basic MDT Operation including the signal and timing protocols . . . 204
N.4.1 The MDT Signal and Timing Protocols . . . 204
N.4.2 Boundary conditions . . . 204
N.4.3 Initial token control states of a MDT scan . . . 204
N.5 The MDT scan . . . 204
N.5.1 Token passing . . . 204
N.5.2 MDT data transfers . . . 206
N.5.3 MDT scan termination procedure . . . 206
N.5.4 Error conditions . . . 207
N.6 Implementations . . . 207

**Index** . . . 208

# Figures


1. Eléments de base du FASTBUS . . . 3
2. Topologie d'un système FASTBUS . . . 5
3. Dialogue de base d'une opération de lecture (vu du MAITRE) . . . 7
4. Transfert de bloc en écriture (vu du MAITRE) . . . 10
5. Opération à verrouillage d'adresse: lecture-modification-écriture (vue du MAITRE) 11
6. Format de l'adresse logique . . . 34
7. Formats de l'adresse géographique . . . 35
8. Sélection d'un esclave par adressage géographique . . . 36
9. Champs de l'adresse de diffusion . . . 38
10. Exemple de routage d'une diffusion . . . 38
11. Diagramme d'état pour une diffusion par contact T . . . 40
12. Diagramme d'état pour une diffusion générale . . . 41
13. Diagramme d'état pour une diffusion de classe N . . . 41
14. Cycle d'adressage logique . . . 49
15. Cycle d'adressage géographique, EG positionné par le Maître . . . 51
16. Cycle d'adressage géographique, EG positionné par la logique ancillaire . . . 52
17. Lecture-modification-écriture . . . 54
18. Lecture d'une donnée isolée . . . 56
19. Ecriture en transfert de bloc avec dialogue . . . 57
20. Diagramme d'état pour les dispositifs sans FIFO . . . 62
21. Diagramme d'état pour les dispositifs avec FIFO . . . 64
22. Logique de contrôle de l'arbitrage dans un Maître . . . 67
23. Logique d'arbitrage dans un Maître . . . 68
24. Arbitrage de deux Maîtres dans le cas des retards les plus défavorables . . . 69
25. Arbitrage de trois Maîtres dans le cas des retards les plus défavorables . . . 69
26. Notion de côté proche et de côté lointain dans un SI . . . 105
27. Conflit pour l'usage d'un SI . . . 106
28. Plan d'ensemble d'un module . . . 129
29. Plan du contour du circuit imprimé . . . 130
30. Détails de la carte du module . . . 131
31. Dimensions des connecteurs de segment et auxiliaire à deux rangs du module . . 132
32. Dimensions du connecteur auxiliaire à trois rangs du module . . . 135
33. Désignations des contacts des connecteurs de segment et auxiliaire et implantation sur le circuit . . . 136
34. Position relative du panneau avant et de la carte du module . . . 137
35. Détails des contacts du fond de panier . . . 139
36. Implantation des contacts sur le fond de panier du châssis . . . 141
37. Guides du connecteur . . . 143
38. Câblage de la guirlande du fond de panier . . . 143
39. Câblage des contacts d'adressage géographique du fond de panier . . . 144
40. Circuit imprimé à monter à l'arrière du fond de panier . . . 146
41. Schéma d'implantation d'un émetteur/récepteur de bus en ECL . . . 154
42. Circuits pour une liaison sur un câble. . . . 161
43. Etats logiques sur un Segment-câble . . . 164
44. Schéma d'un circuit d'attaque de Segment-câble . . . 165
45. Exemple d'un circuit hybride d'attaque d'un Segment-câble . . . 165
46. Exemple de logique d'arbitrage . . . 166
47. Modules FASTBUS . . . 170
48. Châssis Type A, vue de face . . . 172
49. Châssis Type A, vue de dessus . . . 173
50. Châssis Type A, vue de côté . . . 174
51. Exemple de Réalisation de Châssis Type A . . . 175
52. Exemple de réalisation de châssis type W . . . 178
53. Montage d'un module pour les châssis type W . . . 179
54. Transfert de données multimodules (MDT) . . . 205

# Figures


1. Basic FASTBUS Elements . . . 3
2. Example of FASTBUS System Topology . . . 5
3. Basic Handshake Read Operation (as seen by MASTER) . . . 7
4. Write Block Transfer (as seen by MASTER) . . . 10
5. Address Locked Operation: Read-Modify-Write (as seen by MASTER) . . . 11
6. Logical Address Format . . . 34
7. Geographical Address Formats . . . 35
8. Slave Selection via Geographical Addressing . . . 36
9. Broadcast Address Field . . . 38
10. Broadcast Routing Example . . . 38
11. State Diagram for T-pin Broadcast . . . 40
12. State Diagram for General Broadcast . . . 41
13. State Diagram for Class N Broadcast . . . 41
14. Logical Address Cycle . . . 49
15. Geographical Address Cycle, EG asserted by Master . . . 51
16. Geographical Address Cycle, EG asserted by Ancillary Logic . . . 52
17. Read-Modify-Write . . . 54
18. Random Data Read . . . 56
19. Block Transfer Handshake Write . . . 57
20. State Diagram for non-FIFO Devices . . . 62
21. State Diagram for FIFO Devices . . . 64
22. Arbitration Control Logic in a Master . . . 67
23. Arbitration Logic in a Master . . . 68
24. Arbitration for two Masters showing Worst-case Delays . . . 69
25. Arbitration for three Masters showing Worst-case Delays . . . 69
26. Near-Side and Far-Side concept for the SI . . . 105
27. Contention for use of an SI . . . 106
28. Module Outline . . . 129
29. Module Circuit Board Outline . . . 130
30. Module Circuit Board Details . . . 131
31. Dimensional Information for Module Segment and two-row Auxiliary connectors 132
32. Dimensional Information for Three-row Module Auxiliary Connector . . . 135
33. Segment and Auxiliary Connector Contact Designations and Corresponding circuit Board Footprints . . . 136
34. Module Front Panel in Relation to Module Circuit Board . . . 137
35. Backplane Pin Details . . . 139
36. Crate Backplane Pin Locations . . . 141
37. Connector Guides . . . 143
38. Backplane Daisy Chain Wiring . . . 143
39. Backplane Geographical Addressing Pin Wiring . . . 144
40. Circuit Board for Mounting at rear of Backplane . . . 146
41. Typical ECL Driver-Receiver Layout . . . 154
42. Cable Driving Circuit . . . 161
43. Cable Segment Logic States . . . 164
44. Schematic Diagram of Cable Segment Driver . . . 165
45. Example of Cable Segment Driver . . . 165
46. Example of Arbitration Logic . . . 166
47. FASTBUS Modules . . . 170
48. Crate, Type A, front view . . . 172
49. Crate, Type A, top view . . . 173
50. Crate, Type A, side view . . . 174
51. Typical Type A Crate Implementation . . . 175
52. Typical Type W Crate Implementation . . . 178
53. Module Assembly for Type W Crate . . . 179
54. Multimodule Data Transfer (MDT) . . . 205

# Tableaux


1. Signaux FASTBUS . . . . . 6
2. Contrôle d'une diffusion par le MAITRE . . . . . 39
3. Codage des fonctions pour une diffusion, réponse de l'esclave . . . . . 42
4. Cadencement du dialogue d'un cycle . . . . . 46
5. Spécification des types d'adresses . . . . . 54
6. Réponse SS au moment de l'adressage avec AK(u) . . . . . 55
7. Interprétation de MS dans les cycles de données . . . . . 59
8. Réponse SS de l'esclave au moment des données avec DK(t) . . . . . 60
9. Réponse SS et actions de l'esclave à DK(t) . . . . . 60
10. Lignes d'arbitrage du FASTBUS . . . . . 65
11. Fonctions de positionnement et d'effacement sélectifs des CSR . . . . . 83
12. Registres de contrôle et d'état . . . . . 84
13. Affectation des bits du registre CSR 0 . . . . . 86
14. Définition des bits de CSR#0 . . . . . 87
15. Affectation des bits du registre CSR 2 . . . . . 90
16. Définition des bits de CSR#2. . . . . 91
17. Registre de contrôle des temporisateurs . . . . . 94
18. Attribution des adresses de l'espace CSR paramètres . . . . . 96
19. Définition des termes utilisés dans le tableau 18 . . . . . 97
20. Effacement des bits des CSR . . . . . 98
21. Affectation des bits dans CSR#0 d'un SI . . . . . 108
22. Définition des bits de CSR#0 . . . . . 109
23. Effets de différentes actions sur les bits d'un SI . . . . . 113
24. Réponse du SI aux adresses . . . . . 119
25. Affectation des contacts du connecteur du segment-châssis . . . . . 133
26. Signaux du segment-câble . . . . . 149
27. Affectation des contacts du connecteur du segment-câble . . . . . 150
28. Table 27 (suite) . . . . . 151
29. Utilisation recommandée du connecteur auxiliaire pour une réalisation d'un segment-câble . . . . . 152
30. Gammes de résistance pour des fils de cuivre divisés . . . . . 154
31. Caractéristiques temporelles pour une réalisation en ECL . . . . . 156
32. Niveaux logiques pour des interconnexions ECL en logique positive . . . . . 158
33. Configuration MDT . . . . . 202
34. Signaux MDT de contrôle du jeton . . . . . 204

# Tables


1. FASTBUS Signals . . . . . 6
2. MASTER's Control of Broadcast . . . . . 39
3. Function Encoding for Broadcast, Slave Response . . . . . 42
4. Handshaked Cycle Timing Sequence . . . . . 46
5. Address Type Specification . . . . . 54
6. Address Time SS Response with AK(u) . . . . . 55
7. MS Interpretation for Data Cycles . . . . . 59
8. Slave Data Time SS Responses with DK(t) . . . . . 60
9. Slave SS Responses and Actions at DK(t) . . . . . 60
10. FASTBUS Arbitration Lines . . . . . 65
11. CSR Selective Set/Clear Function Implementation . . . . . 83
12. Control/Status Registers . . . . . 84
13. CSR Register 0 Bit Assignments . . . . . 86
14. Definition of CSR#0 Bits . . . . . 87
15. CSR Register 2 Bit Assignments . . . . . 90
16. Definition of CSR#2 Bits . . . . . 91
17. Timer Control Register . . . . . 94
18. CSR Parameter Space Address Allocation . . . . . 96
19. Definition of Terms used in table 18 . . . . . 97
20. Clearing of CSR Bits . . . . . 98
21. CSR#0 Bit Assignments in an SI . . . . . 108
22. Definition of CSR#0 Bits . . . . . 109
23. Effect of various actions on bits in SIs . . . . . 113
24. SI Response to Addresses . . . . . 119
25. Segment Connector Contact Assignments . . . . . 133
26. Cable Segment Signals . . . . . 149
27. Cable Segment Connector Contact Assignments . . . . . 150
28. Table 27 (Continued) . . . . . 151
29. Recommended utilization of Auxiliary Connector for Cable Segment Implementation . . . . . 152
30. Resistance Ranges for Stranded Copper Wire . . . . . 154
31. Characteristic Times for ECL Implementation . . . . . 156
32. Logic Levels for Interconnections for ECL Positive Logic . . . . . 158
33. MDT Configuration . . . . . 202
34. MDT Token Control Signals . . . . . 204

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

# INSTRUMENTATION NUCLÉAIRE – SYSTÈME MODULAIRE D'ACQUISITION RAPIDE DE DONNÉES – FASTBUS

## AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.

3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.

4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.

5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 935 a été établie par le comité d'études 45 de la CEI: Instrumentation nucléaire.

Cette deuxième édition annule et remplace la première édition parue en 1990 et constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

| FDIS | Rapport de vote |
|---|---|
| 45/383/FDIS | 45/392/RVD |

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

# NUCLEAR INSTRUMENTATION – MODULAR HIGH SPEED DATA ACQUISITION SYSTEM – FASTBUS

## FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.

2) The formal decisions or agreements of the IEC on technical matters, express as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.

3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.

4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.

5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.

6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 935 has been prepared by IEC technical committee 45: Nuclear instrumentation.

This second edition cancels and replaces the first edition published in 1990 and constitutes a technical revision.

The text of this standard is based on the following documents:

| FDIS | Report on voting |
|---|---|
| 45/383/FDIS | 45/392/RVD |

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

# INSTRUMENTATION NUCLÉAIRE – SYSTÈME MODULAIRE D'ACQUISITION RAPIDE DE DONNÉES – FASTBUS

## Section 0. Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 169-10: 1983, *Connecteurs pour fréquences radioélectriques – Partie 10: Connecteurs coaxiaux pour fréquences radioélectriques avec diamètre intérieur du conducteur extérieur de 3 mm (0,12 in) à accouplement par encliquetage – Impédance caractéristique 50 ohms (type SMB)*

CEI 297-1: 1986, *Dimensions des structures mécaniques de la série de 482,6 mm (19 in) – Première partie: Panneaux et bâtis*

CEI 516: 1975, *Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC*
Modification 1 (1984)

CEI 547: 1976, *Tiroirs et châssis de 19 pouces basés sur le système NIM (pour appareils d'électronique nucléaire)*

CEI 1082-1: 1991, *Etablissement des documents utilisés en électrotechnique – Partie 1: Prescriptions générales*

CEI 1082-2: 1993, *Etablissement des documents utilisés en électrotechnique – Partie 2: Schémas adaptés à la fonction*

# NUCLEAR INSTRUMENTATION – MODULAR HIGH SPEED DATA ACQUISITION SYSTEM – FASTBUS

## Section 0. Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 169-10: 1983, *Radio-frequency connectors – Part 10: R.F. coaxial connectors with inner diameter of outer conductor 3 mm (0,12 in) with snap-on coupling – Characteristic impedance 50 ohms (Type SMB)*

IEC 297-1: 1986, *Dimensions of mechanical structures of the 482,6 mm (19 in) series – Part 1: Panels and racks*

IEC 516: 1975, *A modular instrumentation system for data handling: CAMAC system*
Amendment 1 (1984)

IEC 547: 1976, *Modular plug-in unit and standard 19-inch rack mounting unit based on NIM standard (for electronic nuclear instruments)*

IEC 1082-1: 1991, *Preparation of documents used in electrotechnology – Part 1: General requirements*

IEC 1082-2: 1993, *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*