IEC 63011-3

Edition 1.0 2018-11

INTERNATIONAL STANDARD

NORME INTERNATIONALE

colour inside

Integrated circuits – Three dimensional integrated circuits – Part 3: Model and measurement conditions of through-silicon via

Circuits intégrés – Circuits intégrés tridimensionnels – Partie 3: Modèle et conditions de mesure des trous de liaison à travers le silicium

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-6276-4

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOREWORD 3
INTRODUCTION 5
1 Scope 6
2 Normative references 6
3 Terms, definitions and abbreviated terms 7
3.1 Terms and definitions 7
3.2 Abbreviated terms 7
4 Measurement conditions to specify TSV characteristics 7
4.1 Supply chain and TSV circuit model 7
4.2 Reference model of TSV electrical characteristics 8
4.3 Measurement conditions to specify TSV electrical characteristics 9
4.3.1 General 9
4.3.2 Resistance measurement 9
4.3.3 Capacitance measurement 10
Annex A (informative) Explanatory note 12
A.1 Purpose of establishment 12
A.2 Reference dimension of the TSV model 12
A.3 Other considerations for implementation 13
A.3.1 General 13
A.3.2 Keep out zone 13

Figure 1 – Reference of a multi-chip interconnect system 6
Figure 2 – 3-D IC Supply chain model 7
Figure 3 – TSV electrical characteristic model 8
Figure 4 – Resistance measurement method 10
Figure 5 – Capacitance measurement method 10
Figure 6 – Measurement conditions to specify TSV electrical characteristics when substrate is not connected to power supply 11
Figure A.1 – Structure of the TSV model 13
Figure A.2 – KOZ definition 14

Table 1 – Policy for model standardization 9
Table A.1 – Parameters and reference values of the TSV model 12
Table A.2 – Parameters affecting KOZ 14

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 3: Model and measurement conditions of through-silicon via

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
6) All users should ensure that they have the latest edition of this publication.
7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63011-3 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47A/1057/FDIS	47A/1063/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 63011 series, under the general title *Integrated circuits – Three dimensional integrated circuits*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "http://webstore.iec.ch" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

The embedded system implementation such as digital consumer and mobile devices is a history of functional integration and power reduction for faster and smaller. At the beginning, the embedded system was developed by various digital ASIC chips to implement required functions. They were then integrated on one chip as a system on chip (SoC), which includes application processor and peripheral I/F logic, such as PCIe, SATA, USB, and DDRx memory controller. Because required performance and image resolution is growing, SoC has embedded many functions through adopting advanced semiconductor technology.

Since advanced semiconductor technology is complicated and its development cost is higher, the application is limited to use only for a few products. Those SoC's cost is not appropriate for all embedded systems. Multi-chip implementation is a way to solve this issue. It implements very large logic gate on the separated SoC and ASIC logic chips, connecting each other. This multi-chip interconnection technique provides also implementation of heterogeneous technology VLSI chips.

This document is focused to interconnect methodology to implement multi-chip VLSI for three-dimensional integrated circuit. Thanks to through-silicon via (TSV) and micro bump interconnect technology; the wire number between VLSI can be tremendously wider. It also allows to connect chips with on-chip bus interconnection, which has several thousand signal connections.

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 3: Model and measurement conditions of through-silicon via

1 Scope

This part of IEC 63011 specifies a reference model of through-silicon via (TSV) electrical characteristics required for an interface design in three dimensional integrated circuit (3-D IC) to transmit and receive digital data and measurement conditions for resistance and capacitance to specify TSV characteristics in 3-D IC.

3-D IC specifications covered by this document are the following:

- application: digital consumer and mobile;
- operating voltage: 0,1 V to 5,0 V,
- operating frequency: less than 2,0 GHz.

This document does not describe the equipment for the measurement. Figure 1 describes a typical case of multi-chip interconnect system discussed in this document.

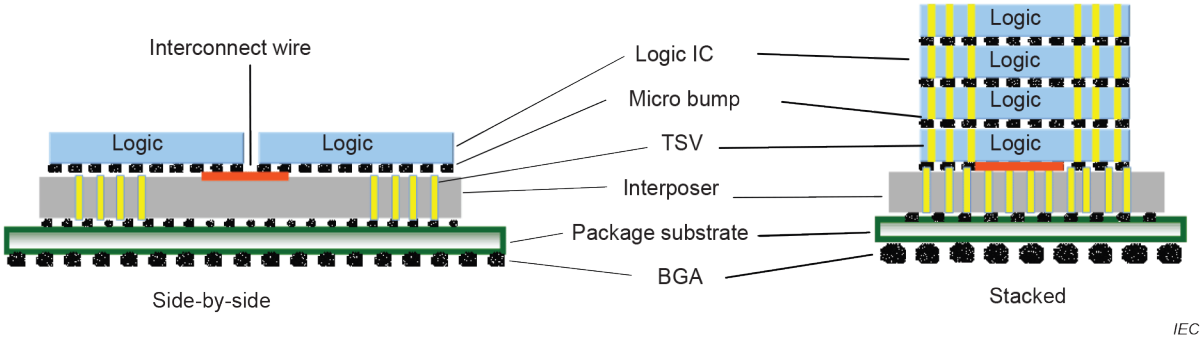


Figure 1 – Reference of a multi-chip interconnect system

Power devices, RF devices and micro-electromechanical systems (MEMS) are not in the scope of this document.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 63011-1, *Integrated circuits – Three dimensional integrated circuits – Part 1: Terminology*

SOMMAIRE

AVANT-PROPOS 17
INTRODUCTION 19
1 Domaine d'application 20
2 Références normatives 20
3 Termes, définitions et termes abrégés 21
3.1 Termes et définitions 21
3.2 Termes abrégés 21
4 Conditions de mesure pour spécifier les caractéristiques des TSV 21
4.1 Chaîne d'approvisionnement et modèle de circuit de TSV 21
4.2 Modèle de référence des caractéristiques électriques d'un TSV 22
4.3 Conditions de mesure pour spécifier les caractéristiques électriques des TSV 23
4.3.1 General 23
4.3.2 Mesure de la résistance 23
4.3.3 Mesure de la capacité 24
Annexe A (informative) Note explicative 26
A.1 Objet 26
A.2 Dimensions de référence du modèle de TSV 26
A.3 Autres considérations de mise en œuvre 27
A.3.1 Généralités 27
A.3.2 Zone interdite 27

Figure 1 – Référence de système d'interconnexion multipuce 20
Figure 2 – Modèle de chaîne d'approvisionnement d'un 3-D IC 21
Figure 3 – Modèle de caractéristiques électriques d'un TSV 22
Figure 4 – Méthode de mesure de la résistance 24
Figure 5 – Méthode de mesure de la capacité 24
Figure 6 – Conditions de mesure pour spécifier les caractéristiques électriques des TSV lorsque le substrat n'est pas relié à une alimentation 25
Figure A.1 – Structure du modèle de TSV 27
Figure A.2 – Définition d'une zone interdite 28

Tableau 1 – Politique pour normalisation de modèle 23
Tableau A.1 – Paramètres et valeurs de référence du modèle de TSV 26
Tableau A.2 – Paramètres affectant la zone interdite (KOZ) 28

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 3: Modèle et conditions de mesure des trous de liaison à travers le silicium

AVANT-PROPOS

1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 63011-3 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'étude 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47A/1057/FDIS	47A/1063/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 63011, publiées sous le titre général *Circuits intégrés – Circuits intégrés tridimensionnels*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "http://webstore.iec.ch" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo *"colour inside"* qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

Les systèmes intégrés tels que les dispositifs mobiles et les dispositifs numériques grand public se sont développés avec l'intégration fonctionnelle et la réduction de puissance nécessaires pour réaliser des dispositifs plus petits et plus rapides. A l'origine, les systèmes intégrés se présentaient sous la forme de plusieurs puces numériques de circuits intégrés spécifiques à une application donnée (ASIC) qui mettaient en œuvre les fonctions requises. Ils ont été ensuite intégrés sur une seule puce sous la forme de systèmes sur puce (SoC), qui incluent des processeurs d'application et des circuits logiques de périphériques d'interfaces de type PCIe, SATA, USB et contrôleur de mémoire DDRx. Compte tenu de l'accroissement des exigences concernant la résolution des images et les performances, de nombreuses fonctions ont été intégrées dans les SoC grâce à la technologie avancée des semiconducteurs.

En raison du coût élevé de son développement et de sa complexité, la technologie avancée des semiconducteurs n'est utilisée que pour quelques produits. Le coût de ces SoC n'est pas adapté pour tous les systèmes intégrés, et les systèmes multipuces constituent une bonne solution. Un système multipuce met en œuvre une porte logique très importante sur des puces logiques SoC et ASIC distinctes en les connectant les unes aux autres. Cette technique d'interconnexion multipuce permet en outre l'implantation de puces VLSI de technologies hétérogènes.

Le présent document porte sur la méthodologie d'interconnexion pour mettre en œuvre la technologie VLSI multipuce pour les circuits intégrés tridimensionnels. Grâce à la technologie d'interconnexion à trous de liaison à travers le silicium (TSV) et à microbosses, le nombre de fils entre dispositifs VLSI peut être très largement augmenté. Elle permet en outre de connecter des puces par interconnexion de bus sur puce réalisant les connexions de plusieurs milliers de signaux.

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 3: Modèle et conditions de mesure des trous de liaison à travers le silicium

1 Domaine d'application

La présente partie de l'IEC 63011 spécifie un modèle de référence des caractéristiques électriques des trous de liaison à travers le silicium (TSV: *through-silicon via*) exigées pour la conception d'une interface dans un circuit intégré tridimensionnel (3-D IC) pour transmettre et recevoir des données numériques, ainsi que les conditions de mesure de la résistance et de la capacité afin de spécifier les caractéristiques des TSV dans un circuit intégré tridimensionnel.

Les spécifications de circuits intégrés tridimensionnels couvertes par le présent document sont les suivantes:

- application: dispositifs numériques et mobiles grand public;
- tension de fonctionnement: 0,1 V à 5,0 V;
- fréquence de fonctionnement: inférieure à 2,0 GHz.

Le présent document ne décrit pas l'appareil de mesure. La Figure 1 représente un cas typique de système d'interconnexion multipuce étudié dans le présent document.

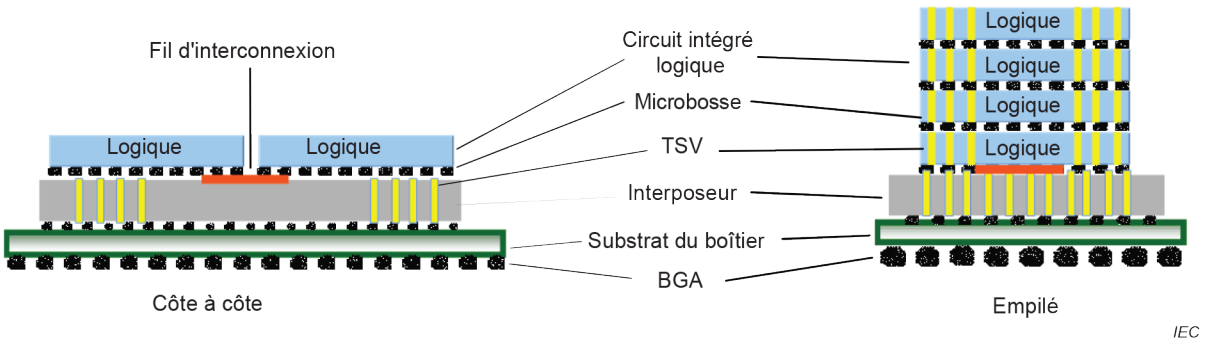


Figure 1 – Référence de système d'interconnexion multipuce

Les dispositifs de puissance, les dispositifs aux fréquences radioélectriques (RF) et les systèmes microélectromécaniques (MEMS) ne font pas partie du domaine d'application du présent document.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 63011-1, *Circuits intégrés – Circuits intégrés tridimensionnels – Partie 1: Terminologie*