IEC 63287-1

Edition 1.0 2021-08

INTERNATIONAL STANDARD

NORME INTERNATIONALE

colour inside

Semiconductor devices – Generic semiconductor qualification guidelines – Part 1: Guidelines for IC reliability qualification

Dispositifs à semiconducteurs – Lignes directrices génériques concernant la qualification des semiconducteurs – Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-1017-2

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOREWORD 4
INTRODUCTION 6
1 Scope 7
2 Normative references 7
3 Terms and definitions 8
4 Product categories and applications 8
5 Failure 9
5.1 Failure distribution 9
5.2 Early failure 10
5.2.1 Description 10
5.2.2 Early failure rate 11
5.2.3 Screening 15
5.3 Random failure 17
5.3.1 Description 17
5.3.2 Mean failure rate 18
5.4 Wear-out failure 21
5.4.1 Description 21
5.4.2 Wear-out failure rate 21
6 Reliability test 24
6.1 Reliability test description 24
6.2 Reliability test plan 24
6.2.1 Procedures for creating a reliability test plan 24
6.2.2 Estimation of the test time required to confirm the TDDB from the number of test samples 27
6.2.3 Estimation of the number of samples required to confirm the TDDB from the test time 28
6.3 Reliability test methods 29
6.4 Acceleration models for reliability tests 33
6.4.1 Arrhenius model 33
6.4.2 V-model 33
6.4.3 Absolute water vapor pressure model 33
6.4.4 Coffin-Manson model 33
6.5 Concept of family 34
6.5.1 General 34
6.5.2 Conducting life test using family 34
6.5.3 Verification of early failure rate using family 37
7 Stress test methods 39
8 Supplementary tests 40
9 Summary table of assumptions 40
10 Summary 42
Bibliography 43

Figure 1 – Bathtub curve 10
Figure 2 – Failure process of IC manufacturing lots during the early failure period 11
Figure 3 – Weibull conceptual diagram of the early failure rate 12

Figure 4 – Example of a failure ratio: α (in hundreds) and the number of failures for CL of 60 % 14
Figure 5 – Screening and estimated early fail rate in Weibull diagram 16
Figure 6 – Bathtub curve setting the point immediately after production as the origin 17
Figure 7 – Bathtub curve setting the point after screening as the origin 17
Figure 8 – Conceptual diagram of calculation method for the mean failure rate from the exponential distribution 18
Figure 9 – Conceptual diagram of calculation method for the mean failure rate as an extension of early failure 19
Figure 10 – Conceptual diagram of the wear-out failure 21
Figure 11 – Conceptual diagram describing the concept of the acceleration test 22
Figure 12 – Concept of the reliability test in a Weibull diagram (based on sample size) 26
Figure 13 – Concept of the reliability test in a Weibull diagram (based on test time) 29
Figure 14 – Difference in sampling sizes according to the m value (image) 30
Figure 15 – How the screening defect rate is seen depending on the difference of chip size (example) 37

Table 1 – Examples of product categories 9
Table 2 – Cumulative failure probability 0,1 % over 10 years [$\times 10^{-6}$] for the third, fifth and seventh years 26
Table 3 – Major reliability (life) test methods and purposes 31
Table 4 – Examples of the number of test samples and the test time in typical reliability (life) test methods 32
Table 5 – Concept of family (example) 34
Table 6 – Concept of difference/failure mechanism/corresponding test item (examples) 36
Table 7 – Factors for calculation examples of early failure rate using family data 38
Table 8 – LTPD sampling table for acceptance number Ac = 0 39
Table 9 – Major reliability (strength) test methods and purposes 39
Table 10 – Supplementary tests 40
Table 11 – Accelerating factors, calculation formulae and numerical values[a] 41

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

SEMICONDUCTOR DEVICES – GENERIC SEMICONDUCTOR QUALIFICATION GUIDELINES –

Part 1: Guidelines for IC reliability qualification

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
6) All users should ensure that they have the latest edition of this publication.
7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63287-1 has been prepared by IEC technical committee 47: Semiconductor devices.

This first edition of IEC 63287-1 cancels and replaces the first edition of IEC 60749-43 published in 2017. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

a) the document has been renamed and renumbered to distinguish it from the IEC 60749 (all parts);
b) a new section concerning the concept of "family" has been added with appropriate renumbering of the existing text.

The text of this International Standard is based on the following documents:

DRAFT	Report on voting
47/2703/FDIS	47/2720/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

A list of all parts in the IEC 63287 series, published under the general title *Semiconductor, devices – Generic semiconductor qualification guidelines,* can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This document provides guidelines for semiconductor IC vendors in the preparation of detailed reliability test plans for device qualification. Such plans are intended to be prepared before commencing qualification tests and after consultation with the user of their semiconductor integrated circuit product.

The guideline gives some examples for creating reliability qualification test plans to determine appropriate reliability test conditions based on the use conditions and requirements for each application of semiconductor integrated circuits. Categories are set for automotive applications and for general applications as a target of reliability. The grade for automotive use is further classified into two grades according to applications. The guideline assumes annual operating hours, useful life, etc. for each grade, and defines the verification methods for early failure rate and wear-out failure to propose appropriate reliability tests, and at the same time, presents concepts to properly ensure the quality of semiconductor integrated circuits using screening techniques which are designed to reduce the early failure rate.

The test conditions and the values of acceleration factors presented in this guideline are shown to provide examples of calculations for obtaining reliability test conditions in order to verify the required quality standards and are not designed to define the standards to ensure reliability of semiconductor integrated circuits.

NOTE Qualification tests are tests in which the semiconductor vendor takes account of the reliability required by its product users.

SEMICONDUCTOR DEVICES – GENERIC SEMICONDUCTOR QUALIFICATION GUIDELINES –

Part 1: Guidelines for IC reliability qualification

1 Scope

This part of IEC 63287 gives guidelines for reliability qualification plans of semiconductor integrated circuit products. This document is not intended for military- and space-related applications.

NOTE 1 The manufacturer can use flexible sample sizes to reduce cost and maintain reasonable reliability by this guideline adaptation based on EDR-4708, AEC Q100, JESD47 or other relevant document can also be applicable if it is specified.

NOTE 2 The Weibull distribution method used in this document is one of several methods to calculate the appropriate sample size and test conditions of a given reliability project.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60749-5, *Semiconductor devices – Mechanical and climatic test methods – Part 5: Steady-state temperature humidity bias life test*

IEC 60749-6, *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-15, *Semiconductor devices – Mechanical and climatic test methods – Part 15: Resistance to soldering temperature for through-hole mounted devices*

IEC 60749-20, *Semiconductor devices – Mechanical and climatic test methods – Part 20: Resistance of plastic encapsulated SMDs to the combined effect of moisture and soldering heat*

IEC 60749-21, *Semiconductor devices – Mechanical and climatic test methods – Part 21: Solderability*

IEC 60749-23, *Semiconductor devices – Mechanical and climatic test methods – Part 23: High temperature operating life*

IEC 60749-25, *Semiconductor devices – Mechanical and climatic test methods – Part 25: Temperature cycling*

IEC 60749-26, *Semiconductor devices – Mechanical and climatic test methods – Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)*

IEC 60749-28, *Semiconductor devices – Mechanical and climatic test methods – Part 28: Electrostatic discharge (ESD) sensitivity testing – Charged device model (CDM) – Device level*

IEC 60749-29, *Semiconductor devices – Mechanical and climatic test methods – Part 29: Latch-up test*

IEC 60749-42, *Semiconductor devices – Mechanical and climatic test methods – Part 42: Temperature and humidity storage*

SOMMAIRE

AVANT-PROPOS 46
INTRODUCTION 48
1 Domaine d'application 49
2 Références normatives 49
3 Termes et définitions 50
4 Catégories de produits et applications 50
5 Défaillance 51
5.1 Distribution des défaillances 51
5.2 Défaillance précoce 52
5.2.1 Description 52
5.2.2 Taux de défaillance précoce 54
5.2.3 Dépistage 57
5.3 Défaillance aléatoire 60
5.3.1 Description 60
5.3.2 Taux moyen de défaillance 60
5.4 Défaillance par usure 63
5.4.1 Description 63
5.4.2 Taux de défaillance par usure 64
6 Essai de fiabilité 66
6.1 Description 66
6.2 Plan d'essai de fiabilité 67
6.2.1 Modes opératoires pour la création d'un plan d'essai de fiabilité 67
6.2.2 Estimation de la durée d'essai exigée pour confirmer le TDDB à partir du nombre d'échantillons d'essai 69
6.2.3 Estimation du nombre d'échantillons exigé pour confirmer le TDDB à partir de la durée d'essai 70
6.3 Méthodes d'essai de fiabilité 71
6.4 Modèles d'accélération pour les essais de fiabilité 75
6.4.1 Modèle d'Arrhenius 75
6.4.2 Modèle en tension V 75
6.4.3 Modèle de pression de vapeur d'eau absolue 75
6.4.4 Modèle de Coffin-Manson 75
6.5 Concept de famille 76
6.5.1 Généralités 76
6.5.2 Réalisation de l'essai de durée de vie avec application du concept de famille 76
6.5.3 Vérification du taux de défaillance précoce par le concept de famille 79
7 Méthodes d'essai sous contrainte 81
8 Essais supplémentaires 83
9 Tableau récapitulatif des hypothèses 83
10 Résumé 85
Bibliographie 86

Figure 1 – Courbe en baignoire 52
Figure 2 – Procédé d'identification des défaillances sur les lots de fabrication de CI au cours de la période de défaillance précoce 53

Figure 3 – Modèle de Weibull représentant le concept du taux de défaillance précoce 54
Figure 4 – Exemple d'un ratio de taux de défaillance: α (en centaines) en fonction du nombre de défaillances pour un CL de 60 % 57
Figure 5 – Dépistage et taux estimé de défaillances précoces sur un diagramme de Weibull 58
Figure 6 – Courbe en baignoire prenant comme origine le point immédiatement après la production 59
Figure 7 – Courbe en baignoire prenant comme origine le point après dépistage 60
Figure 8 – Modèle de la méthode de calcul du taux moyen de défaillance à partir de la loi exponentielle 61
Figure 9 – Modèle de la méthode de calcul du taux moyen de défaillance en tant qu'extension de la défaillance précoce 62
Figure 10 – Modèle de la défaillance par usure 64
Figure 11 – Modèle décrivant le concept de l'essai accéléré 64
Figure 12 – Concept de l'essai de fiabilité sur un diagramme de Weibull (fondé sur la taille d'échantillon) 68
Figure 13 – Concept de l'essai de fiabilité sur un diagramme de Weibull (fondé sur la durée d'essai) 71
Figure 14 – Différence de tailles d'échantillonnage en fonction de la valeur m (image) 72
Figure 15 – Perception du taux de défauts vus au dépistage selon la différence de taille de puce (exemple) 80

Tableau 1 – Exemples de catégories de produits 51
Tableau 2 – Taux de défaillance cumulée pour une probabilité de défaillance cumulée de 0,1 % sur 10 ans [$\times 10^{-6}$] pour les troisième, cinquième et septième années 69
Tableau 3 – Principales méthodes d'essai de fiabilité (durée de vie) et objectifs visés 73
Tableau 4 – Exemples du nombre d'échantillons d'essai et de la durée d'essai avec des méthodes types d'essai de fiabilité (durée de vie) 74
Tableau 5 – Concept de famille (exemple) 76
Tableau 6 – Concept de différence/mécanisme de défaillance/élément soumis à l'essai correspondant (exemples) 78
Tableau 7 – Facteurs appliqués dans les exemples de calculs du taux de défaillance précoce utilisant les données de famille 81
Tableau 8 – Tableau d'échantillonnage en fonction du LTPD avec le nombre d'acceptation Ac = 0 82
Tableau 9 – Principales méthodes d'essai de fiabilité (résistance aux contraintes) et objectifs visés 82
Tableau 10 – Essais supplémentaires 83
Tableau 11 – Facteurs d'accélération, formules de calcul et valeurs numériques[a] 84

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

DISPOSITIFS À SEMICONDUCTEURS – LIGNES DIRECTRICES GÉNÉRIQUES CONCERNANT LA QUALIFICATION DES SEMICONDUCTEURS –

Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés

AVANT-PROPOS

1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
9) L'attention est attirée sur le fait que certains des éléments du présent document de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 63287-1 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Cette première édition de l'IEC 63287-1 annule et remplace la première édition de l'IEC 60749-43 parue en 2017. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

a) le document a été renommé et renuméroté afin de le différencier de l'IEC 60749 (toutes les parties);

b) une nouvelle section portant sur le concept de famille a été ajoutée avec une renumérotation appropriée du texte existant.

Le texte de cette Norme internationale est issu des documents suivants:

DRAFT	Rapport de vote
47/2703/FDIS	47/2720/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Une liste de toutes les parties de la série IEC 63287, publiées sous le titre général *Dispositifs à semiconducteurs – Lignes directrices génériques concernant la qualification des semiconducteurs*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch ans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

INTRODUCTION

Le présent document donne aux fournisseurs de circuits intégrés (CI) à semiconducteurs des lignes directrices pour la préparation de plans d'essais de fiabilité détaillés concernant la qualification des dispositifs. De tels plans sont destinés à être préparés avant le début des essais de qualification et après consultation de l'utilisateur de leur produit de CI à semiconducteurs.

Les lignes directrices fournissent quelques exemples de création de plans d'essais de qualification pour déterminer les conditions adaptées aux essais de fiabilité et fondées sur les conditions et les exigences d'utilisation des circuits intégrés à semiconducteurs pour chaque application. Des catégories de produits ont été établies avec un objectif de fiabilité pour les applications automobiles et les usages généraux. La catégorie relative à l'utilisation dans le secteur automobile est, par ailleurs, subdivisée en deux sous-catégories en fonction des applications. Les lignes directrices prennent pour hypothèse, pour chaque catégorie, des heures de fonctionnement annuelles, une durée de vie utile, etc., et définissent les méthodes de vérification du taux de défaillance précoce et de la défaillance par usure afin de proposer des essais de fiabilité appropriés. Elles présentent également des concepts qui visent à assurer la qualité des CI à semiconducteurs en utilisant des techniques de dépistage conçues pour réduire le taux de défaillance précoce.

Les conditions d'essai et les valeurs des facteurs d'accélération présentées dans ces lignes directrices sont destinées à fournir des exemples de calculs de fiabilité afin de vérifier les normes de qualité exigées, et ne sont pas conçues pour définir les normes qui visent à assurer la fiabilité des CI à semiconducteurs.

NOTE Les essais de qualification sont des essais au cours desquels le fournisseur de semiconducteurs tient compte de la fiabilité exigée par les utilisateurs de ses produits.

DISPOSITIFS À SEMICONDUCTEURS – LIGNES DIRECTRICES GÉNÉRIQUES CONCERNANT LA QUALIFICATION DES SEMICONDUCTEURS –

Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés

1 Domaine d'application

La présente partie de l'IEC 63287 fournit des lignes directrices concernant les plans de qualification de la fiabilité des produits de CI à semiconducteurs. Le présent document n'est pas destiné aux applications militaires et spatiales.

NOTE 1 Le fabricant peut utiliser des tailles d'échantillons flexibles afin de réduire les coûts tout en maintenant une fiabilité raisonnable par l'adaptation des présentes lignes directrices fondées sur l'EDR-4708. S'ils sont spécifiés, les documents AEC Q100, JESD47 ou tout autre document pertinent spécifié peuvent également être applicables.

NOTE 2 La méthode de la loi de Weibull utilisée dans le présent document n'est qu'une méthode parmi d'autres permettant de calculer la taille d'échantillon et les conditions d'essai appropriées pour un projet de fiabilité donné.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60749-5, *Dispositifs à semiconducteurs - Méthodes d'essais mécaniques et climatiques – Partie 5: Essai continu de durée de vie sous température et humidité avec polarisation*

IEC 60749-6, *Dispositifs à semiconducteurs - Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

IEC 60749-15, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 15: Résistance à la température de* brasage *pour dispositifs par trous traversants*

IEC 60749-20, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 20: Résistance des CMS à boîtier plastique à l'effet combiné de l'humidité et de la chaleur de brasage*

IEC 60749-21, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 21: Brasabilité*

IEC 60749-23, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 23: Durée de vie en fonctionnement à haute température*

IEC 60749-25, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 25: Cycles de température*

IEC 60749-26, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)*

IEC 60749-28, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 28: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de dispositif chargé (CDM) – Niveau du dispositif*

IEC 60749-29, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 29: Essai de verrouillage*

IEC 60749-42, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 42: Stockage de température et d'humidité*