IEC 63373

Edition 1.0 2022-02

INTERNATIONAL STANDARD

NORME INTERNATIONALE

colour inside

Dynamic on-resistance test method guidelines for GaN HEMT based power conversion devices

Lignes directrices pour les méthodes d'essai de résistance dynamique à l'état passant des dispositifs de conversion de puissance fondés sur les HEMT en GaN

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.99

ISBN 978-2-8322-1076-6

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOREWORD 3
INTRODUCTION 5
1 Scope 6
2 Normative references 6
3 Terms, definitions, symbols and abbreviated terms 6
3.1 Terms and definitions 6
3.2 Symbols and abbreviated terms 6
4 Test circuits and waveforms 7
4.1 General 7
4.2 Inductive and resistive switching methods 7
4.3 Pulsed current-voltage (I-V) method 10
5 Requirements 12
Bibliography 14

Figure 1 – Inductive-resistive load “double-pulse” test circuit for hard-switching evaluation 8
Figure 2 – Depiction of the hard-switching “double-pulse” test circuit (showing its similarity to a boost converter) 8
Figure 3 – Simplified flowchart for inductive and/or resistive switching based dynamic on-resistance test 9
Figure 4 – Representative continuous-pulse hard-switching waveforms for measuring dynamic on-resistance using the test circuits in Figure 1 and Figure 2 10
Figure 5 – Example test circuit for soft-switching on-resistance measurement (the gate and drain terminals are pulsed with independent voltage signals) 10
Figure 6 – Simplified flowchart for soft switching based dynamic on-resistance test 11
Figure 7 – Illustrative timing diagram for measuring dynamic ON-resistance under OFF-state stress in soft-switching mode 12

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES FOR GaN HEMT BASED POWER CONVERSION DEVICES

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
6) All users should ensure that they have the latest edition of this publication.
7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

IEC 63373 has been prepared by IEC technical committee 47: Semiconductor devices. It is an International Standard.

This standard is based upon JEP173 [1].[1] It is used with permission of the copyright holder, JEDEC Solid State Technology Association.

The text of this International Standard is based on the following documents:

Draft	Report on voting
47/2690/CDV	47/2735/RVC

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

_____

[1] Numbers in square brackets refer to the Bibliography.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The "colour inside" logo on the cover page of this document indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This document is intended for use in the GaN power semiconductor and related power electronic industries, and provides guidelines for measuring the dynamic ON-resistance of GaN power devices.

Gallium Nitride (GaN) lateral power High Electron Mobility Transistor (HEMT) conducts through a two-dimensional electron gas (2DEG) in ON-state operation. Due to the various stress conditions that the device encounters during power electronic switching applications, some charge could get trapped in specific regions of the transistor structure. The trapped electrons cause an increased ON-resistance when operated in a switching environment. This phenomenon is known as current collapse and the ON-resistance at switching operation is called dynamic ON-resistance in order to distinguish from DC ON-resistance. Increased dynamic ON-resistance translates to higher power loss, thereby reducing overall system efficiency. Not verifying the dynamic ON-resistance characteristic can put GaN device reliability at risk [2].

The test methods provided in this document can be used as a guideline for measuring dynamic ON-resistance of GaN power device, focused on lateral HEMT technologies. These three test methods can be applied for datasheet, process control, technology development, final tests and other usage. Parasitic effects impact high precision measurements and wafer level tests can minimize parasitic effects. Additionally, self-heating can impact the package level tests depending upon the package thermal characteristics.

DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES FOR GaN HEMT BASED POWER CONVERSION DEVICES

1 Scope

In general, dynamic ON-resistance testing is a measure of charge trapping phenomena in GaN power transistors. This publication provides guidelines for testing dynamic ON-resistance of GaN lateral power transistor solutions. The test methods can be applied to the following:

a) GaN enhancement and depletion-mode discrete power devices [3];

b) GaN integrated power solutions;

c) the above in wafer and package levels.

The prescribed test methods can be used for device characterization, production testing, reliability evaluations and application assessments of GaN power conversion devices. This document is not intended to cover the underlying mechanisms of dynamic ON-resistance and its symbolic representation for product specifications.

2 Normative references

There are no normative references in this document.

SOMMAIRE

AVANT-PROPOS 17
INTRODUCTION 19
1 Domaine d'application 20
2 Références normatives 20
3 Termes, définitions, symboles et termes abrégés 20
3.1 Termes et définitions 20
3.2 Symboles et termes abrégés 20
4 Circuits d'essai et formes d'onde 21
4.1 Généralités 21
4.2 Méthodes de commutation inductive et résistive 22
4.3 Méthode de courant-tension (I-V) d'impulsion 25
5 Exigences 26
Bibliographie 28

Figure 1 – Circuit d'essai "double impulsion" à charge inductive-résistive pour l'évaluation de la commutation dure 22
Figure 2 – Représentation du circuit d'essai "double impulsion" pour l'évaluation de la commutation dure (indiquant sa similitude avec un convertisseur élévateur) 23
Figure 3 – Organigramme simplifié de l'essai de résistance dynamique à l'état passant fondé sur la commutation inductive et/ou résistive 24
Figure 4 – Formes d'onde représentatives de commutation dure à impulsions continues pour le mesurage de la résistance dynamique à l'état passant à l'aide des circuits d'essai de la Figure 1 et de la Figure 2 24
Figure 5 – Exemple de circuit d'essai pour le mesurage de la résistance à l'état passant de la commutation douce (les bornes de la grille et du drain sont pulsées avec des signaux de tension indépendants) 25
Figure 6 – Organigramme simplifié de l'essai de résistance dynamique à l'état passant fondé sur la commutation douce 25
Figure 7 – Diagramme temporel représentatif du mesurage de la résistance dynamique à l'état passant sous contrainte à l'état bloqué en mode de commutation douce 26

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

LIGNES DIRECTRICES POUR LES MÉTHODES D'ESSAI DE RÉSISTANCE DYNAMIQUE À L'ÉTAT PASSANT DES DISPOSITIFS DE CONVERSION DE PUISSANCE FONDÉS SUR LES HEMT EN GaN

AVANT-PROPOS

1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

L'IEC 63373 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs. Il s'agit d'une Norme internationale.

La présente norme repose sur le document JEP173 [1].[1] Elle est utilisée avec la permission du détenteur du droit d'auteur, JEDEC Solid State Technology Association.

_____

[1] Les nombres entre crochets renvoient à la Bibliographie.

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
47/2690/CDV	47/2735/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "http://webstore.iec.ch" dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de ce document indique qu'il contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur

INTRODUCTION

Le présent document est destiné à être utilisé dans les industries de semiconducteurs de puissance en GaN et les industries connexes de l'électronique de puissance, et fournit des lignes directrices de mesure de la résistance dynamique à l'état passant des dispositifs de puissance en GaN.

Les transistors de puissance latéraux à mobilité des électrons élevée (HEMT- High Electron Mobility Transistor) en nitrure de gallium (GaN) conduisent le courant à travers un gaz bidimensionnel d'électrons (2DEG) en mode de fonctionnement à l'état passant. En raison des différentes conditions de contrainte que le dispositif rencontre lors des applications de commutation électronique de puissance, certaines charges peuvent être piégées dans des régions spécifiques de la structure du transistor. Les électrons piégés provoquent une augmentation de la résistance à l'état passant lorsqu'ils sont utilisés dans un environnement de commutation. Ce phénomène est connu sous le nom de chute de courant et la résistance à l'état passant lors des opérations de commutation est appelée résistance dynamique à l'état passant afin de la différencier de la résistance à l'état passant en courant continu. L'augmentation de la résistance dynamique à l'état passant se traduit par une perte de puissance plus élevée, réduisant ainsi l'efficacité globale du système. Ne pas vérifier la caractéristique de la résistance dynamique à l'état passant peut mettre en danger la fiabilité des dispositifs en GaN [2].

Les méthodes d'essai fournies dans le présent document peuvent être utilisées comme lignes directrices de mesure de la résistance dynamique à l'état passant des dispositifs de puissance en GaN, fondés sur les technologies de HEMT latéraux. Ces trois méthodes d'essai peuvent être appliquées pour les fiches techniques, le contrôle des processus, le développement des technologies, les essais finaux et d'autres utilisations. Les effets parasites influent sur les mesurages de haute précision et les essais au niveau de la plaquette peuvent réduire le plus possible les effets parasites. Par ailleurs, l'autoéchauffement peut influer sur les essais au niveau du boîtier selon les caractéristiques thermiques du boîtier.

LIGNES DIRECTRICES POUR LES MÉTHODES D'ESSAI DE RÉSISTANCE DYNAMIQUE À L'ÉTAT PASSANT DES DISPOSITIFS DE CONVERSION DE PUISSANCE FONDÉS SUR LES HEMT EN GaN

1 Domaine d'application

En règle générale, l'essai de résistance dynamique à l'état passant est une mesure des phénomènes de piégeage de charge dans les transistors de puissance en GaN. La présente publication donne des lignes directrices pour l'essai de résistance dynamique à l'état passant des solutions de transistors de puissance latéraux en GaN. Les méthodes d'essai peuvent être appliquées aux éléments suivants:

a) dispositifs de puissance discrets en GaN à mode d'enrichissement et de déplétion [3];

b) solutions de puissance intégrées en GaN;

c) dispositifs et solutions ci-dessus au niveau des plaquettes et des boîtiers.

Les méthodes d'essai spécifiées peuvent être utilisées pour la caractérisation des dispositifs, les essais de production, les évaluations de fiabilité et les évaluations de l'application des dispositifs de conversion de puissance en GaN. Le présent document n'est pas destiné à couvrir les mécanismes sous-jacents de la résistance dynamique à l'état passant et sa représentation symbolique pour les spécifications du produit.

2 Références normatives

Le présent document ne contient aucune référence normative.