SPÉCIFICATION TECHNIQUE

TECHNICAL SPECIFICATION

CEI
IEC
TS 61945

Première édition
First edition
2000-03

Circuits intégrés – Agrément d'une ligne de fabrication – Méthodologie d'analyse technologique et de défaillance

Integrated circuits – Manufacturing line approval – Methodology for technology and failure analysis

© IEC 2000 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http://www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE L

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

AVANT-PROPOS 4

Clause

1 Domaine d'application et objet 8
2 Références normatives 10
3 Terminologie 10
4 Types d'analyse technologique 10
4.1 Premier degré: Examen visuel général (essai AT1) 12
4.2 Second degré: Examen visuel approfondi (essai AT2) 14
4.3 Troisième degré: Examen détaillé au MEB sous fort grossissement (essai AT3) ... 14
4.4 Quatrième degré: Analyse de construction (essai AT4) 16
4.5 Cinquième degré: Essais complémentaires (essai AT5) 18
5 Analyse de défaillance (essai AT6) 20
5.1 But 20
5.2 Moyens 20
5.3 Description 20

CONTENTS

Page

FOREWORD 5

Clause

1 Scope and object 9
2 Normative references 11
3 Terms 11
4 Classification of technology analysis 11
4.1 First level: General visual inspection (AT1 test) 13
4.2 Second level: Detailed visual inspection (AT2 test) 15
4.3 Third level: Scanning Electron Microscope examination under large magnification (AT3 test) 15
4.4 Fourth level: Construction analysis (AT4 test) 17
4.5 Fifth level: Complementary tests (AT5 test) 19
5 Failure analysis (AT6 test) 21
5.1 Objective 21
5.2 Resources 21
5.3 Description 21

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

CIRCUITS INTÉGRÉS – AGRÉMENT D'UNE LIGNE DE FABRICATION –

Méthodologie d'analyse technologique et de défaillance

AVANT-PROPOS

1) La CEI (Commission Électrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
6) L'attention est attirée sur le fait que certains des éléments de la présente spécification technique peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La tâche principale des comités d'études de la CEI est l'élaboration des Normes internationales. Exceptionnellement, un comité d'études peut proposer la publication d'une spécification technique

- lorsqu'en dépit de maints efforts, l'accord requis ne peut être réalisé en faveur de la publication d'une Norme internationale, ou
- lorsque le sujet en question est encore en cours de développement technique ou quand, pour une raison quelconque, la possibilité d'un accord pour la publication d'une Norme internationale peut être envisagée pour l'avenir mais pas dans l'immédiat;

Les spécifications techniques font l'objet d'un nouvel examen trois ans au plus tard après leur publication afin de décider éventuellement de leur transformation en Normes internationales.

La CEI 61945, qui est une spécification technique, a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette spécification technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
47A/523/CDV	47A/555/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette spécification technique.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

_____

INTEGRATED CIRCUITS – MANUFACTURING LINE APPROVAL –

Methodology for technology and failure analysis

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. In exceptional circumstances, a technical committee may propose the publication of a technical specification when

- the required support cannot be obtained for the publication of an International Standard, despite repeated efforts, or
- the subject is still under technical development or where, for any other reason, there is the future but no immediate possibility of an agreement on an International Standard.

Technical specifications are subject to review within three years of publication to decide whether they can be transformed into International Standards.

IEC 61945, which is a technical specification, has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this technical specification is based on the following documents:

Enquiry draft	Report on voting
47A/523/CDV	47A/555/RVC

Full information on the voting for the approval of this technical specification can be found in the report on voting indicated in the above table.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 3.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2003. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 3.

The committee has decided that the contents of this publication will remain unchanged until 2003. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

CIRCUITS INTÉGRÉS – AGRÉMENT D'UNE LIGNE DE FABRICATION –

Méthodologie d'analyse technologique et de défaillance

1 Domaine d'application et objet

Cette spécification technique décrit la méthodologie d'analyse technologique et de défaillance au cours de la fabrication des circuits intégrés.

Avec une approche prenant en considération le degré de complexité des techniques et des moyens à mettre en oeuvre, la présente spécification technique donne une classification des différentes analyses technologiques dont peuvent faire l'objet les semiconducteurs et définit pour chaque degré:

– l'objectif poursuivi (ou but);
– les observations à effectuer;
– les outils et techniques qui, dans l'état actuel des technologies disponibles, permettent généralement d'atteindre ces objectifs.

L'analyse technologique a pour but de déterminer la constitution d'un composant par des observations utilisant des moyens dont le pouvoir de résolution est progressif avec le degré d'analyse considéré.

Elle permet d'autre part de détecter toute anomalie susceptible d'affecter la fiabilité des dispositifs dans les conditions normales d'utilisation.

Elle peut être utilisée pour vérifier la conformité d'un dispositif à sa documentation de fabrication mais elle peut également permettre de déterminer certaines caractéristiques physico-chimiques du composant considéré.

Les observations effectuées lors d'une analyse peuvent également orienter un expert-auditeur devant pratiquer un audit qualité dans une ligne de fabrication.

En utilisant des moyens analogues ou spécifiques, l'analyse de défaillance tend à déterminer les causes physiques d'un défaut constaté sur un dispositif lors d'un essai ou en utilisation.

Par la connaissance approfondie du composant et de ses mécanismes de dégradation potentiels, l'analyse technologique peut permettre de préparer des analyses de défaillances éventuelles.

Cette spécification technique est considérée comme une méthode d'essai qui s'applique à chaque fois qu'il y est fait référence dans une spécification d'application qui doit alors en prescrire les conditions particulières d'application.

INTEGRATED CIRCUITS – MANUFACTURING LINE APPROVAL –

Methodology for technology and failure analysis

1 Scope and object

This technical specification gives the methodology for technology and failure analysis in manufacturing integrated circuits.

Taking into account the level of complexity of techniques and means to be used, the present technical specification covers the classification of several levels of technology analysis that may be used for semiconductors and defines for each level:

– the objective to be performed (or goal);
– the points to be investigated;
– the tools and techniques needed for currently available technologies to perform these objectives.

Technology analysis is used to determine the way a component is built by observing it using adequate resolution, which increases progressively with the level of analysis.

In addition, it allows detection of any fault potentially affecting the reliability of the devices under typical working conditions.

It may be used to verify the conformance of a device to its manufacturing documents, but may also be used to determine the physical and chemical characteristics of the device under test.

The points observed during the analysis can also serve as guidelines for an expert in a future quality audit of a manufacturing line.

By using similar or case-specific means, the failure analysis leads to identifying the physical reasons of a failure found in a device during a test or during normal working conditions.

Through a deep knowledge of the component and of its intrinsic failure mechanisms, the technology analysis can prepare for future failure analyses.

This technical specification is considered as a suitable test methodology when referred to in an application document. Such documents shall indicate the specific conditions for its application.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente spécification technique. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente spécification technique sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60749:1996, *Dispositifs à semiconducteurs – Essais mécaniques et climatiques*

MIL STD 883

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this Technical Specification. For dated references, subsequent amendments to, or revisions of, any of these publications do not apply. However, parties to agreements based on this Technical Specification are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60749:1996, *Semiconductor devices – Mechanical and climatic test methods*

MIL STD 883